

Ошибки в микроконтроллере 1986BE8

Настоящий документ содержит описание всех ошибок, выявленных в микросхеме 1986BE8, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕ КОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по этому документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер документа;
- номер страницы;
- комментарии либо, краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, телефон).

Оглавление

Обзор	6
Категории ошибок	6
Сводная таблица ошибок	7
Ошибки категории 1	13
0001 Отсутствие силицида над POLY при трассировке над DTI	13
0002 Некорректная работа элементов библиотеки	15
0003 Утечка в цифровой домен DUcc0 и DUcc1	16
0004 Сигнал HV заходит на затвор цифровых вентилях	18
0005 Нет переключения между BUcc и Ucc для питания батарейного домена	19
0006 Повышенное потребление батарейного домена	21
0007 Значительное потребление при резком старте напряжения питания	22
0040 Некорректное использование транзисторов 1,8 В в блоке АЦП	23
0044 Некорректное использование транзисторов 1,8 В в блоке SPW	23
0055 Некорректное подключение 5 В сигналов к транзисторам с 1,8 В питанием в цифровой части	24
Ошибки категории 2	25
0008 Ошибочное расположение площадок по правой стороне кристалла	25
0009 Сигналы между цифровыми доменами DUcc0, DUcc1 и DUcc2 без преобразователей уровня	28
0010 Не выключается регулятор питания DUccB батарейного домена	29
0013 Утечка питания BUcc и Ucc в питание DUccB (0003, 0005, 0006). Утечка питания Ucc в DUcc0 (0003). Утечка питания Ucc в DUcc_PLL (0003)	30
0014 Не выключается регулятор питания DUccB батарейного домена	37
0015 Завышен уровень срабатывания схемы PORESETn	38
0016 Не функционирует ADC0	40
0019 Динамический ток потребления превышает нормы T3	41
0020 Статический ток потребления превышает нормы T3	42
0021 Максимальные рабочие тактовые частоты не соответствуют нормам T3	43
0025 Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП	43
0026 Возникновение ошибки GAPERR в режиме ОУ контроллера ГОСТ P52070-2003	44
0027 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с РТМ 1495-75 (изменение №3) и ARINC429	44
0028 Отсутствие запасов на допустимое искажение входных сигналов контроллера ГОСТ P52070-2003.	45
0031 Не работает контроллер SPW с встроенным приемопередатчиком	46
0033 Не работает контроллер ETH со встроенным приемопередатчиком	47
0043 Утечка из BUcc в Ucc, если Ucc > Uprog и BUcc > Ucc	47
0050 Повышенное потребление в режиме работы только от батарейного питания	48
0051 Большой джиттер PLL	49
0067 Преждевременное снятие флага TXF регистра SPW Status	50
0068 Зависание запроса DMA на передачу от блока SPW	50
0069 Загрузчик сбрасывает флаги сброса в регистрах ВКР	51
0070 Загрузчик сбрасывает флаги ошибок в регистрах ВКР	51
0072 Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий	52
0075 В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA	52
0077 Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения	53
Ошибки категории 3	54
0011 Подтяжки площадок REF на элементах TH1LO с питанием 1,8 В	54

0012 Некорректное отключение HV от OTP	54
0017 Очистка памяти стартовым загрузчиком	55
0018 Ошибка коэффициента умножения тактовой частоты PLL	55
0022 Микросхема по сигналу STANDBY не переходит в режим STANDBY	56
0023 Не работает блок PWR в части контроля напряжения питания	56
0024 Постоянная ошибка превышения максимальной частоты RTC	57
0029 Не работает регистровое чтение OTP	57
0030 Некорректная работа блока FT_CNTR	58
0032 Ошибочное назначение выводов для подключения внешнего приемопередатчика SPW на порт PB	58
0034 Ошибка при записи во внешнюю память при включенном кэш на шине DBUS	59
0035 Корректное изменение настроек PLL возможно однократно только после сброса	59
0036 Невозможно выбрать внешний резистор для формирования опорного тока в DAC0 и DAC1	60
0037 Ошибка при обращении к CAN	60
0038 Длинные цепи от блоков DAC0 и DAC1 к площадкам	61
0039 Выброс напряжения на выходе буфера источника опорного напряжения при включении питания	61
0041 Установка по POR бита TRIM_REF[2] в регистре REG_62 батарейного домена	62
0042 Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена	62
0045 Ведущая роль регулятора LDO0 для работы схемы	63
0046 По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI	63
0047 Запрещение ограничения по току для LDO после включения питания	64
0048 «Защелкивание» блока SW при снятии питания Ucc и переходе на BUcc	64
0049 Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD	65
0052 Ошибочная запись в память ETH в режиме раскрытия	65
0053 Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR	66
0054 Ошибка в схеме режима тестового раскрытия памяти блоков M1L	66
0055 Просадка питания на BDUcc при переключении с BUcc на Ucc	67
0057 Помехи в сигналах передатчика SPW_PHY	68
0058 Некорректное назначение выводов данных внешней системной шины	69
0059 Невыполнение части тестов при сертификации контроллера МКИО	70
0060 Некорректное назначение выводов ADC_REF+ и ADC_REF-	71
0061 Некорректная работа блоков периферии при частоте тактировании большей частоты процессорного ядра	72
0062 Для верхних 64к OTP принудительно отключается кэширование	72
0064 Необходимо держать включённым последний выбранный источник входной частоты PLL для выбора другого источника	Ошибка! Закладка не определена.
0065 Сбои при переключении источника синхросигнала, если частота переключения больше исходной в четыре раза	73
0066 Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA	74
0071 Не происходит перезапуск сторожевого таймера	75
0073 Контроллер MILSTD обращается в неинициализированную область буфера передатчика	75
0074 Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-)	76
0076 Некорректный уровень на выходе генератора LSE	76
0078 Ложные срабатывания счётчиков ошибок ECC в контроллере внешней шины в режиме последовательного ECC	77
0079 Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит	78

0080 Установка бита CLR_CACHE не приводит к очистке кэш-памяти	78
0081 Загрузчик изменяет бит MODE[0] в регистрах ВКР при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JA	79
0082 Загрузчик отключает интерфейс JTAG_V при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JB	79
0083 Таймер SysTick может считать некорректно в режиме с внешним источником тактирования	80
0084 Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования	80
Лист регистрации изменений.....	82

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких версиях продукта присутствует ошибка. В таблице использованы следующие обозначения:

- X – наличие ошибки;
- + – ошибка видоизменилась и для следующей ревизии микросхемы описана подробнее под другим номером;
- * – ошибка исправлена частично.

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
Категория 1						
0001	Отсутствие силицида над POLY при трассировке над DTI	X				
0002	Некорректная работа элементов библиотеки	X				
0003	Утечка в цифровой домен DUcc0 и DUcc1	X	+ (0013)			
0004	Сигнал HV заходит на затвор цифровых вентилях	X				
0005	Нет переключения между BUcc и Ucc для питания батарейного домена	X	+ (0013)			
0006	Повышенное потребление батарейного домена	X	X			
0007	Значительное потребление при резком старте напряжения питания	X	X			
0040	Некорректное использование транзисторов 1,8 В в блоке АЦП	X	X	X		
0044	Некорректное использование транзисторов 1,8 В в блоке SPW	X	X	X		
0055	Некорректное подключение 5 В сигналов к транзисторам с 1,8 В питанием в цифровой части	X	X	X		
Категория 2						
0008	Ошибочное расположение площадок по правой стороне кристалла	X				
0009	Сигналы между цифровыми доменами DUcc0, DUcc1 и DUcc2 без преобразователей уровня	X				
0010	Не выключается регулятор питания DUccB батарейного домена	X	+ (0014)			

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
0013	Утечка питания BUcc и Ucc в DUccB (0006, 0003, 0005) Утечка питания Ucc в DUcc0 (0003) Утечка питания Ucc в DUcc_PLL (0003)		X			
0014	Не выключается регулятор питания DUccB батарейного домена (0010)		X			
0015	Завышен уровень срабатывания схемы PORESETn		X			
0016	Не функционирует ADC0		X			
0019	Динамический ток потребления превышает нормы T3		X	X		
0020	Статический ток потребления превышает нормы T3		X			
0021	Максимальные рабочие тактовые частоты не соответствуют нормам T3		X	X		
0025	Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП		X			
0026	Возникновение ошибки GAPERR в режиме ОУ контроллера ГОСТ P52070-2003		X			
0027	Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429		X			
0028	Отсутствие запасов на допустимое искажение входных сигналов контроллера ГОСТ P52070-2003		X			
0031	Не работает контроллер SPW с встроенным приемопередатчиком		X			
0033	Не работает контроллер ETH с встроенным приемопередатчиком		X			
0043	Утечка из BUcc в Ucc, если Ucc > Uпрг и BUcc > Ucc	X	X	X		
0050	Повышенное потребление в режиме работы только от батарейного питания	X	X	X		
0051	Большой джиттер PLL	X	X	X	X	
0067	Преждевременное снятие флага TXF регистра SPW Status	X	X	X	X	X
0068	Зависание запроса DMA на передачу от блока SPW	X	X	X	X	X
0069	Загрузчик сбрасывает флаги сброса в регистрах ВКР				X	X

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
0070	Загрузчик сбрасывает флаги ошибок в регистрах ВКР				X	X
0072	Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий			X	X	X
0075	В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA					X
0077	Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения			X	X	X
Категория 3						
0011	Подтяжки площадок REF на элементах TН1LO с питанием 1,8 В	X				
0012	Некорректное отключение HV от OTP	X				
0017	Очистка памяти стартовым загрузчиком		X			
0018	Ошибка коэффициента умножения тактовой частоты PLL		X			
0022	Микросхема по сигналу STANDBY не переходит в режим STANDBY		X			
0023	Не работает блок PWR в части контроля напряжения питания		X			
0024	Постоянная ошибка превышения максимальной частоты RTC		X			
0029	Не работает регистровое чтение OTP		X			
0030	Некорректная работа блока FT_CNTR		X			
0032	Ошибочное назначение выводов для подключения внешнего приемопередатчика SPW на порт PB		X			
0034	Ошибка при записи во внешнюю память при включенном кэш на шине DBUS		X			
0035	Корректное изменение настроек PLL возможно однократно только после сброса		X			
0036	Невозможно выбрать внешний резистор для формирования опорного тока в DAC0 и DAC1		X			
0037	Ошибка при обращении к CAN		X	X	X	X*
0038	Длинные цепи от блоков DAC0 и DAC1 к площадкам		X			

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
0039	Выброс напряжения на выходе источника опорного напряжения при включении питания		X			
0041	Установка по POR бита TRIM_REF[2] в регистре REG_62 батарейного домена	X	X	X	X	
0042	Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена	X	X	X	X	
0045	Ведущая роль регулятора LDO0 для работы схемы	X	X	X	X	X
0046	По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI	X	X	X	X	
0047	Запрещение ограничения по току для LDO после включения питания	X	X	X	X	
0048	«Защелкивание» блока SW при снятии питания Ucc и переходе на BUcc	X	X	X		
0049	Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD	X	X	X	X	X
0052	Ошибочная запись в память ETH в режиме раскрытия	X	X	X	X	
0053	Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR	X	X	X	X	
0054	Ошибка в схеме режима тестового раскрытия памяти блоков MIL	X	X	X	X	
0056	Просадка питания на BDUcc при переключении с BUcc на Ucc	X	X	X		
0057	Помехи в сигналах передатчика SPW_PHY	X	X	X		
0058	Некорректное назначение выводов данных внешней системной шины	X	X	X	X	
0059	Невыполнение части тестов при сертификации контроллера МКИО	X	X	X	X	
0060	Некорректное назначение выводов ADC_REF+ и ADC_REF-	X	X	X	X	
0061	Некорректная работа блоков периферии при частоте тактирования большей частоты процессорного ядра	X	X	X	X	X
0062	Для верхних 64к ОТП принудительно отключается кэширование			X	X	

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
0064	Необходимо держать включённым последний выбранный источник входной частоты PLL для выбора другого источника				X	X
0065	Переключение источника синхросигнала может привести к сбоям, если частота, на которую происходит переключение, больше исходной в четыре раза				X	
0066	Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA				X	
0071	Не происходит перезапуск сторожевого таймера			X	X	
0073	Контроллер MILSTD обращается в неинициализированную область буфера передатчика			X	X	X
0074	Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-)			X	X	X
0076	Некорректный уровень на выходе генератора LSE				X	X
0078	Ложные срабатывания счётчиков ошибок ECC в контроллере внешней шины в режиме последовательного ECC			X	X	X
0079	Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит			X	X	X
0080	Установка бита CLR_CACHE не приводит к очистке кэш-памяти			X	X	
0081	Загрузчик изменяет бит MODE[0] в регистрах ВКР при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JA			X	X	
0082	Загрузчик отключает интерфейс JTAG_B при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JB					X
0083	Таймер SysTick может считать некорректно в режиме с внешним источником тактирования			X	X	

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)				
		REV1	REV2	REV3	REV4 (1717–1907, 1909–1953)	REV5 (1908, 20xx)
0084	Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования			X	X	X

Ошибки категории 1

0001 Отсутствие силицида над POLY при трассировке над DTI

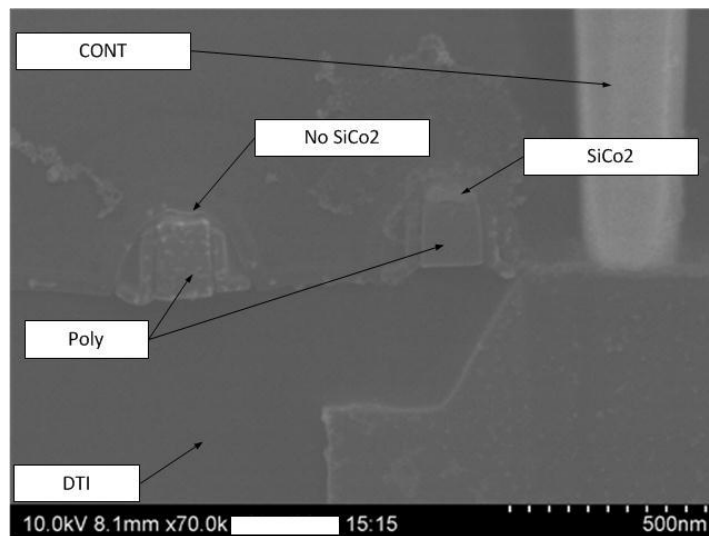
Статус

Причина определена

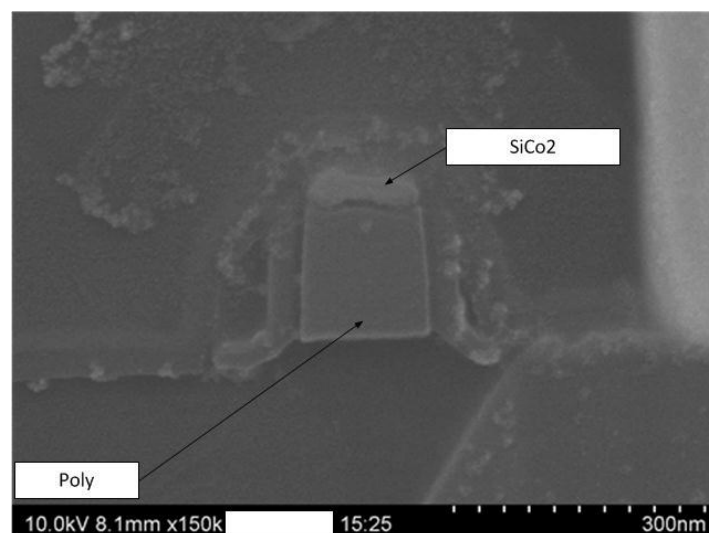
Исправлено в REV2.

Описание

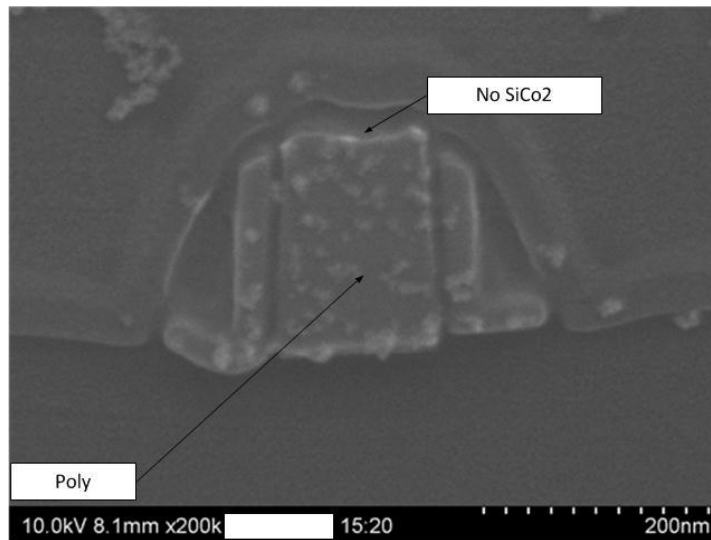
При трассировке поликремнием (слой POLY) над слоем глубокого диэлектрика (DTI) не происходит создание слоя силицида, что приводит к увеличению сопротивления проводника и неправильной работе схемы.



Два проводника над DTI (глубокий) и (не глубокий) STI



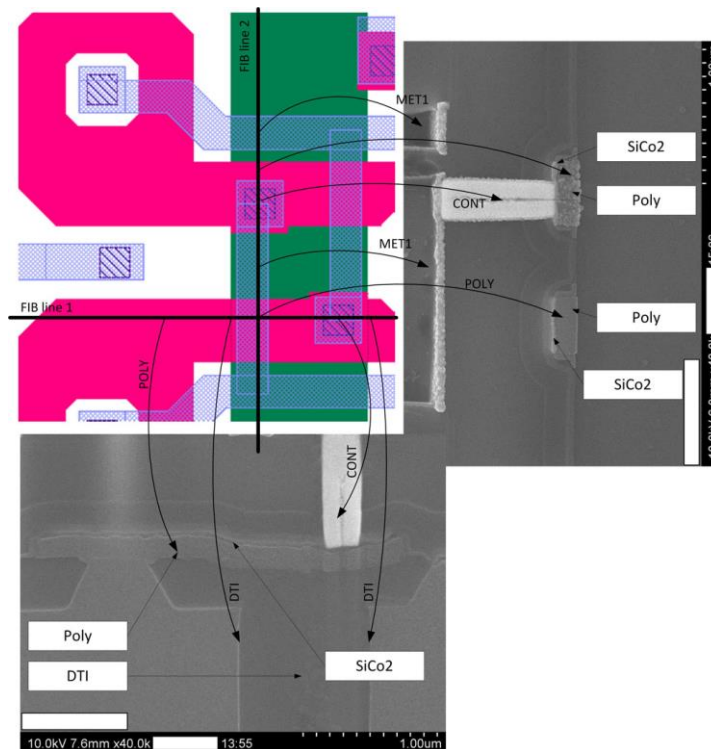
POLY над STI со сформировавшимся силицидом



POLY над DTI с не сформированным силицидом

Условия и причина

Силицид не формируется на POLY над DTI, если ширина POLY 180 нм.
При ширине 450-500 нм силицид формируется корректно.



Ширина POLY порядка 450 нм и силицид сформирован

По рекомендациям фабрики изготовителя минимальная норма ширины POLY над DTI должна быть не менее 1000 нм.

Последствия

Некорректная работа элементов схемы

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Для разрешения проблемы переделана топология всех блоков с учетом требования ширины не менее 1000 нм.

0002 Некорректная работа элементов библиотеки

Статус

Причина определена

Исправлено в REV2

Описание

При моделировании на транзисторном уровне и сравнении поведения с Verilog моделями были выявлены расхождения в поведении следующих библиотечных элементов:

TLATNTSCAX1

TLATNTSCAX2

TLATNTSCAX4

TLATCOX1

TLATCOX2

TLATCOX4

TLATTSCOX1

TLATTSCOX2

TLATTSCOX4

Наиболее критичными являются TLATNTSCAX1, TLATNTSCAX2, TLATNTSCAX4, так как используются в качестве элементов CLOCK GATE в схеме (остальные не использовались).

Условия и причина

Для элементов TLATNTSCAX1, TLATNTSCAX2, TLATNTSCAX4 вместо ожидаемой функции OR между выводами SE E (либо SE, либо E), реализована функция AND (и SE и E). В результате CLOCK GATE становится «прозрачным» для тактового сигнала только в тестовом режиме и только когда на E высокий уровень.

Последствия

Отсутствие тактирования части схемы.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Для разрешения проблемы переделаны схемы проблемных элементов. Проведена верификация всей библиотеки на сравнение поведения на транзисторном уровне, Verilog моделей и описании в lib файлах.

0003 Утечка в цифровой домен DUcc0 и DUcc1**Статус**

Причина определена

В REV2 утечка сохранилась, картина другая, см другие номера ошибок.

Описание

При тестировании образцов обнаружено, что уровни питания DUcc0 и DUcc1 отличаются от ожидаемых. Вместо расчетных 1,8В на выводах формируется питание на уровне 2,2...3,4В

Напряжение питания, В	Образец 1		Потребление LDO					
	Ток общий, мА	Ток Ucc1, мА	DUccB, В	DUccPLL, В	DUcc0, В	DUcc1, В	DUcc2, В	
2,00	13,150	0,075	1,450	1,765	0,129	0,723	0,178	
2,50	22,000	0,508	1,840	1,765	0,431	1,100	0,246	
3,00	40,000	6,440	1,870	1,763	1,850	2,060	1,860	
3,50	73,000	8,080	1,880	1,766	2,220	2,530	1,870	
4,00	104,000	8,777	1,880	1,768	2,390	2,930	1,870	
4,50	107,000	9,310	1,870	1,765	2,440	3,140	1,870	
5,00	111,000	9,940	1,870	1,754	2,470	3,250	1,860	
5,50	116,000	10,675	1,860	1,738	2,470	3,320	1,840	
6,00	129,000	11,557	1,840	1,720	2,470	3,380	1,820	

Условия и причина

Уровень напряжения DUcc0 зависит от напряжения Ucc. Уровень напряжения DUcc1 зависит от напряжения на HV (в типовой схеме подключен на Ucc). Утечка в питании от DUcc0 образуется из-за ANTENNA DIODE на сигнале с высоким логическим уровнем на уровне Ucc или BDUcc. Это сигналы HSI_TRIM_5, ВКРDATAo_10, SIRLOW_5_1 и другие. Для решения проблемы антенна-диодов используется блок, подключающий проблемный сигнал к питанию DUcc. Для питания DUcc1 проблема из-за антенна-диола на сигнал HV. В цифровой части размещение антенна-диодов корректно, хотя и не решает проблему антенн, так как используется изолированная технология. А при автоматическом добавлении на высоковольтные сигналы это не было проконтролировано, так как в схемотехнической модели блока ANTD сам диод не реализован (считается технологическим элементом, не влияющим на работу схемы). При добавлении диодов в схему ANTD поведение транзисторной схемы кристалла совпадает с поведением реального кристалла.

Список всех антенна-диодов проекта

Имя элемента	Статус
DIODE_45	Проблемный
DIODE_56	Проблемный
DIODE_58	Проблемный
DIODE_59	Проблемный
DIODE_60	Проблемный
DIODE_61	Проблемный
DIODE_62	Проблемный
U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_38	
U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_40	
U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_41	
U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_42	
U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_43	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_29	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_30	

Имя элемента	Статус
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_32	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_33	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_35	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/DIODE_37	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/DIODE_27	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/DIODE_28	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/DIODE_31	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/DIODE_39	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/U_CPU/ u_cpu/CPU_FIRST/u_icache/u_cache/u_data_array/u_bank_ram__1/DIODE_70	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/U_CPU/ u_cpu/CPU_FIRST/u_icache/u_cache/u_data_array/u_bank_ram__1/DIODE_71	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/U_CPU/ u_cpu/DIODE_25	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/U_CPU/ u_cpu/DIODE_26	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_CPU_DOMAIN3_LS/U_CPU/ u_cpu/DIODE_69	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_ETH0/DIODE_34	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_OTP_DOMAIN1_LS/ DIODE_24	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_OTP_DOMAIN1_LS/ U_PROG_MEM/DIODE_23	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_OTP_DOMAIN1_LS/ U_PROG_MEM/DIODE_55	Проблемный
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PER/DIODE_18	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PER/U0_ADC/ U0_ADC/u_fifo/DIODE_22	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PER/U0_ADC/ U1_ADC/DIODE_17	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PER/U0_ADC/ U1_ADC/DIODE_21	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PORTA/DIODE_15	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PORTA/DIODE_16	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PORTC/DIODE_14	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PORTE/DIODE_13	
U_DOMAIN0_LS/U_DOMAIN0_LS/U_DOMAIN0_LS/U_PORTE/DIODE_36	
U_PMU/U_PMU/DIODE_2	Проблемный
U_PMU/U_PMU/DIODE_5	Проблемный

Последствия

Появление на элементах цифровой логики потенциала более 1,98 В.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Для исправления проведена модификация схемы ANTD путем добавления обратно смещенных диодов на питание DUсс и GND (на GND для решения проблем антенн в изолированной технологии). Данные антенна-диоды автоматически устанавливаются только для сигналов с уровнем 1,8 В. Для высоковольтных сигналов проблема антенна решается в блоках LevelShifters (на входах реализованы обратно смещенные диоды к корректным питанием сигналов). При обнаружении других сигналов проблему с антенной решать через переходы между металлами.

0004 Сигнал HV заходит на затвор цифровых вентиляей

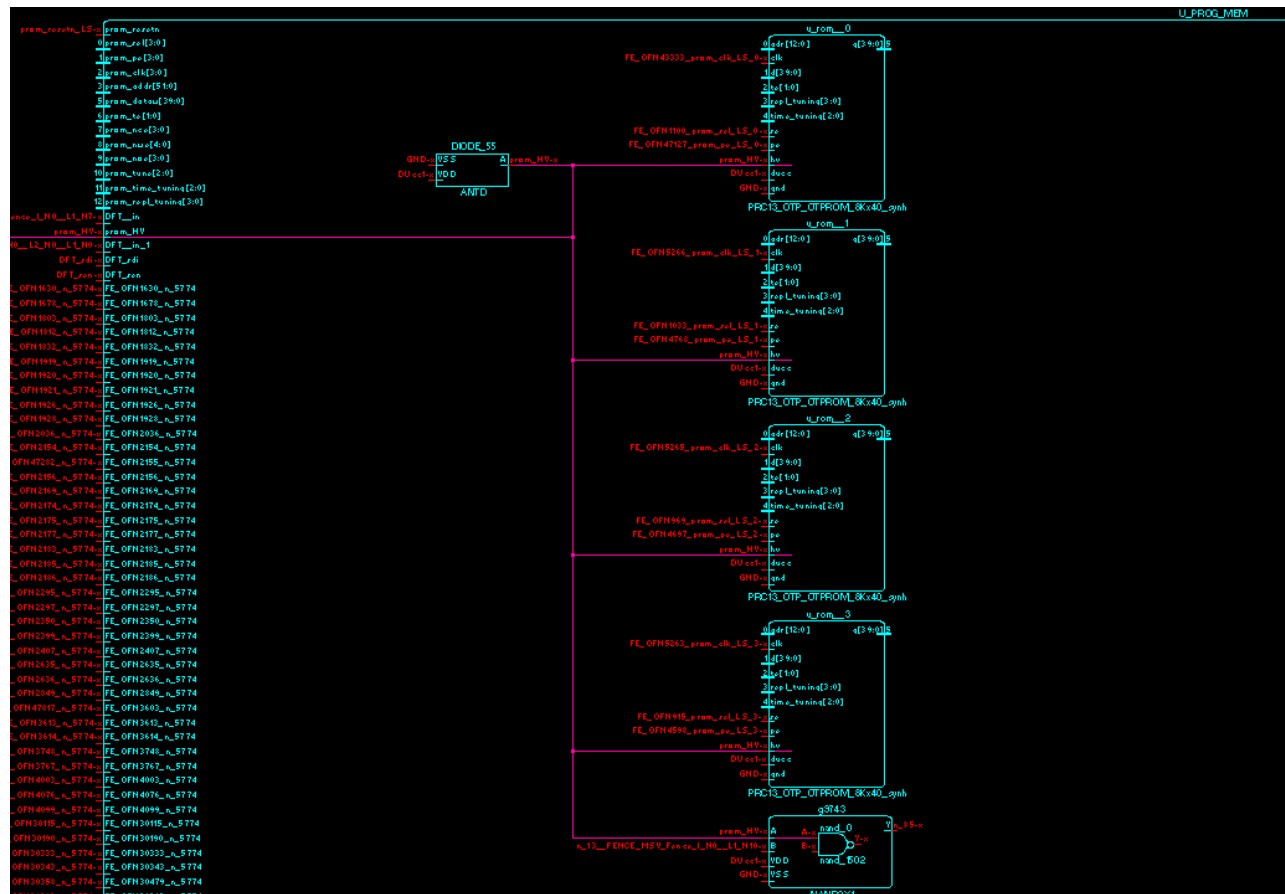
Статус

Причина определена

Исправлено в REV2

Описание

Высоковольтный сигнал (до 7 В) заходит на вход вентиля U_PROG_MEM/g9743.



Сигнал должен идти только на блоки ОТР памяти.

Условия и причина

Сигнал HV был заведен на логику синтезатором при реализации схем автоматического тестирования (ATPG) для контроля данного сигнала. Средства синтеза не восприняли атрибут «не модифицировать» при реализации схемы ATPG.

Последствия

Появление сигнала с уровнем более 1,98 В на входе вентиля приведет к пробую затвора.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. При реализации схем автоматического тестирования обратить внимание на высоковольтные сигналы и задать их в константное состояние и не контролировать.

0005 Нет переключения между ВUcc и Ucc для питания батарейного домена

Статус

Исследование

В REV2 картина изменилась, но проблема сохранилась. См. ошибку 0013.

В REV3 исправлено.

Описание

При превышении питанием Ucc уровня U_{POR} (~2,6...3,0 В) должно произойти переключение между питаниями ВUcc и Ucc для формирования ВDUcc. На всех, кроме одного из исследованных образцов, переключение не выполнялось. На одном из образцов переключение с ВUcc на Ucc вместо уровня U_{POR} происходило только на уровне 4,5...5,5 В и большой временной задержкой (до нескольких секунд).

	Образец 1	Образец 1	Образец 1	Образец 1	Образец 1	Образец 1	Образец 1	Образец 1	Образец 1
Ucc	5,0000	2,0000	0,0000	2,0000	5,0000	0,0000	2,0000	5,0000	0,0000
ВUcc	3,0000	3,0000	3,0000	2,0000	2,0000	2,0000	2,1100	2,1100	2,1100
ВDUcc	2,8100	2,8200	2,8000	1,7800	1,7800	1,7800	1,8900	1,8800	1,8600
DUccВ	1,9600	1,9600	1,9600	1,8400	1,8400	1,8400	1,9200	1,9600	1,9200
Частота, кгц	27,5600	27,5600	27,5600	nd	nd	nd	27,6800	27,6800	27,5600
Осцил	49,png	51,png	50,png					52,png	53,png

	Образец 5	Образец 5	Образец 5	Образец 5	Образец 5	Образец 5	Образец 5	Образец 5	Образец 5
Ucc	5,0000	2,0000	0,0000	2,0000	5,0000	0,0000	2,0000	5,0000	0,0000
ВUcc	3,0000	3,0000	3,0000	2,0000	2,0000	2,0000	2,1100	2,1100	2,1100
ВDUcc	2,8100	2,8100	2,7900	1,8000	1,8100	1,7900	1,8800	1,8800	1,8800
DUccВ	1,8800	1,8800	1,8800	1,8400	1,8400	1,8400	1,8800	1,8800	1,8800
Частота, кгц	27,0000	27,0000	27,0000	nd	nd	nd	27,0000	27,0000	27,0000
Осцил	55,png	54,png	56,png	57,png	58,png	59,png	60,png	61,png	62,png

	Образец 2	Образец 2	Образец 2	Образец 2	Образец 2	Образец 2	Образец 2	Образец 2	Образец 2
Ucc	5,0000	2,0000	0,0000	2,0000	5,0000	0,0000	2,0000	5,0000	0,0000
ВUcc	3,0000	3,0000	3,0000	2,0000	2,0000	2,0000	2,1100	2,1100	2,1100
ВDUcc	4,8700	2,8300	2,8500						
DUccВ	1,9200	1,9200	1,9200						
Частота, кгц	25,0000	25,0000	25,0000						
Осцил	64,png	65,png	66,png						



Переключение на образце 2 происходит спустя не менее $3 \times 400 \text{ мс} = 1,2 \text{ с}$ от уровня U_{POR}

При этом обратное переключение (с Uсс на ВUсс) при снижении Uсс ниже U_{POR} происходит быстро и на уровне U_{POR} .

Условия и причина

Переключение с ВUсс на Uсс происходит на основании сигнала UссRESET, формируемого схемой POR или внешним сигналом SHDN.

Если UссRESET находится в 0, то независимо от уровней напряжения ВDUсс подключен к ВUсс. Проконтролировать UссRESET не представляется возможным.

Если SHDN находится в 1, то независимо от уровней напряжения ВDUсс подключен к ВUсс. Пин SHDN в целом функционирует, так как по нему происходит отключение встроенных LDO (кроме DUссВ).

Анализ топологии не дает явных указания на связь проблемы с проблемой 0001.

Последствия

Повышенное потребление по ВUсс

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Причина не определена. Скорее всего из-за того, что UссRESET держится в 0.

0006 Повышенное потребление батарейного домена**Статус**

Исследование

Исправлено в REV2

Описание

Потребление по DUccB достигает 20 мА

Напряжение питания, В	Напряжение питания DUcc, В	Образец 5 Потребление по DUcc							
		Ток общий Ucc, мА	Ток DUccB, мА	DUccB, В	DUccPLL, В	DUcc0, В	DUcc1, В	DUcc2, В	
3,0000	1,6000	42,3000	-2,7400	1,7700	1,7700	1,7800	1,7900	1,7900	
3,0000	1,6200	42,0000	-2,7300	1,7900	1,7750	1,7800	1,7900	1,7900	
3,0000	1,6400	42,0000	-2,7300	1,8000	1,7750	1,7800	1,7900	1,7900	
3,0000	1,6600	42,0000	-2,7300	1,7900	1,7750	1,7800	1,7900	1,7900	
3,0000	1,6800	42,0000	-2,7300	1,8000	1,7760	1,7800	1,7900	1,7900	
3,0000	1,7000	42,0000	-2,7200	1,7900	1,7730	1,7800	1,7900	1,7900	
3,0000	1,7200	42,0000	-2,7300	1,7900	1,7750	1,7800	1,7900	1,7960	
3,0000	1,7400	42,3000	-2,7200	1,7900	1,7740	1,7800	1,7900	1,7900	
3,0000	1,7600	42,0000	-2,7200	1,7900	1,7740	1,7800	1,7900	1,7900	
3,0000	1,7800	38,9000	0,1570	1,8000	1,7820	1,7900	1,8000	1,8000	
3,0000	1,8000	36,9000	1,4800	1,8000	1,8020	1,8100	1,8200	1,8100	
3,0000	1,8200	26,5000	3,1000	1,8000	1,8220	1,8300	1,8400	1,8300	
3,0000	1,8400	21,0000	4,5100	1,8100	1,8400	1,8500	1,8600	1,8500	
3,0000	1,8600	20,2000	5,8500	1,8200	1,8630	1,8700	1,8800	1,8800	
3,0000	1,8800	18,9000	7,1500	1,8200	1,8820	1,8900	1,8900	1,9000	
3,0000	1,9000	17,5000	8,5100	1,8300	1,9020	1,9100	1,9100	1,9100	
3,0000	1,9200	16,3000	9,7900	1,8400	1,9220	1,9300	1,9300	1,9400	
3,0000	1,9400	14,9000	11,1800	1,8400	1,9420	1,9500	1,9600	1,9600	
3,0000	1,9600	13,5000	12,4500	1,8500	1,9600	1,9700	1,9700	1,9800	
3,0000	1,9800	12,2000	13,8000	1,8500	1,9810	1,9900	1,9900	2,0000	
3,0000	2,0000	10,9000	15,1500	1,8600	2,0010	2,0100	2,0200	2,0200	
3,0000	2,0200	9,5000	16,4500	1,8700	2,0220	2,0300	2,0400	2,0300	

Так как встроенный LDO батарейного домена не отключается по SHDN, проверить потребление можно только «передавив» DUccB внешним источником. При этом видно, что при увеличении тока от внешнего источника снижается ток по Ucc (=BUcc, объединены).

Условия и причина

Замечено, что схема шифтера LS_Ucc_BDUcc при наличии низкого уровня на обоих входах SW и выходе шифтера NSW переходит в состояние средней точки выходного напряжения (~1,2 – 1,4 В). Это может приводить к тому, что вентили, на вход которых приходит этот сигнал, будут иметь повышенное потребление.

Последствия

Повышенное потребление батарейного домена.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Причина не определена. Скорее всего из-за того, что оба сигнала SW/NSW в нуле.

0007 Значительное потребление при резком старте напряжения питания

Статус

Исследование.

В REV2 картина изменилась.

В REV3 исправлено.

Описание

Включение микросхемы сразу на питание в 5 В приводит к запуску микросхемы с большим током потребления. Если включить микросхему с питанием 3,3 В и потом поднять уровень до 5 В, то потребление не достигает того же уровня, если сразу включить на 5 В. Если сразу включить на 5 В, а потом снизить до ~4.0...4,4 В, а потом поднять обратно, то питание также снижается.

Напряжение питания, В	Образец 5 Включение при разных уровнях Ucc							
	Ток общий, мА	Ток BUcc, мА	DUccB, В	DUccPLL, В	DUcc0, В	DUcc1, В	DUcc2, В	
1,00	0,4800	0,0640	0,6800	0,9990	0,0900	0,1300	0,0800	34,png
1,50	6,3000	5,1800	1,1000	1,4990	0,0900	0,4300	0,0800	35,png
2,00	12,5000	11,0000	1,4200	1,7770	0,0900	0,7700	0,0800	36,png
2,50	18,0000	15,3000	1,6000	1,7780	0,2100	1,1300	0,0800	37,png
3,00	26,2000	21,0000	1,8600	1,7780	1,9900	1,9700	1,9000	38,png
3,50	27,5000	21,2300	1,8600	1,7770	2,2500	2,4300	1,9000	39,png
4,00	29,5000	21,5000	1,8600	1,7770	2,3900	2,8500	1,9000	40,png
4,50	80,2000	22,0700	1,8600	1,7770	2,4700	3,0900	1,0900	41,png
5,00	174,0000	23,0000	1,8600	1,7770	2,4900	3,1900	1,9000	42,png
5,50	280,0000	24,0000	1,8800	1,7530	1,9300	2,7100	1,9000	43,png
6,00	365,0000	24,8000	1,8800	1,7430	2,2500	3,0700	1,8800	44,png

Включение, снижение напряжения и подъем обратно

Напряжение питания, В	Образец 5	Напряжение питания, В	Образец 5	Напряжение питания, В	Образец 5
	Ток общий, мА		Ток общий, мА		Ток общий, мА
6,00	380,0000				
5,50	269,0000	5,50	278,0000		
5,00	164,0000	5,00	165,0000	5,00	169,0000
4,50	70,0000	4,50	69,0000	4,50	70,0000
4,40	50,0000	4,40	49,0000	4,40	50,0000
4,30	32,0000	4,30	32,0000	4,30	32,0000
4,20	30,0000	4,20	30,0000	4,20	30,0000
4,50	32,0000	4,50	32,0000	4,50	32,0000
5,00	36,0000	5,00	36,0000	5,00	36,0000
5,50	39,0000	5,50	39,0000	5,50	40,0000
6,00	44,0000	6,00	44,0000	6,00	44,0000

Условия и причина

При включении микросхемы с уровнем питания более чем 4,3 В. Локализация точки потребления не удалась. Множество точек по местам расположения площадок ввода вывода.

Последствия

Резкое повышение тока потребления

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Причина не определена.

0040 Некорректное использование транзисторов 1,8 В в блоке АЦП

Статус

Исследование.

Описание

В схеме блока АЦП на транзисторы с номинальным напряжением питания 1,8 В приходят управляющие сигналы с уровнем до 5 В (ADC_Ucc). В результате нарушения предельного уровня напряжения сток-затвор или исток-затвор может произойти пробой подзатворенного диэлектрика транзистора.

Условия

При $ADC_Ucc > 2,0 \dots 4,0$ – деградация в течении длительного времени, с последующим пробоем.

При $ADC_Ucc > 4,0$ – пробой.

Последствия

Пробой транзистора носит случайный характер и поведение транзистора после пробоя может сильно отличаться. В большинстве случаев пробой транзистора приводит к увеличению тока потребления, но может привести к выходу из строя АЦП.

Рекомендации и способы обхода

Не допускать на входах питания микросхемы напряжение более 4 В.

0044 Некорректное использование транзисторов 1,8 В в блоке SPW

Статус

Исследование.

Описание

В схеме блока SPW_PHY на транзисторы с номинальным напряжением питания 1,8 В приходят управляющие сигналы с уровнем до 5 В (SPW_Ucc). В результате нарушения предельного уровня напряжения сток-затвор или исток-затвор может произойти пробой подзатворенного диэлектрика транзистора.

Условия

Проблемные транзисторы находятся в цепях управления IR_UP и IR_DOWN. Нарушение режимов транзисторов возникает при подаче высокого уровня на данные сигналы.

При ($IR_UP = 1$ или $IR_DOWN = 1$) и $SPW_Ucc > 2,0 \dots 4,0$ – деградация в течении длительного времени, с последующим пробоем.

При ($IR_UP = 1$ или $IR_DOWN = 1$) и $SPW_Ucc > 4,0$ – пробой.

При $IR_UP = 0$ и $IR_DOWN = 0$ допускается функционирование без ограничения по уровню SPW_Ucc

Последствия

Пробой транзистора носит случайный характер и поведение транзистора после пробоя может сильно отличаться. В большинстве случаев пробой транзистора приводит к увеличению тока потребления, но может привести к выходу из строя SPW.

Рекомендации и способы обхода

Не допускать на входах питания микросхемы напряжение более 4В. Не допускать установки битов IR_UP или IR_DOWN в единицу.

0055 Некорректное подключение 5 В сигналов к транзисторам с 1,8 В питанием в цифровой части

Статус

Исследование.

Описание

В схеме BOUNDARY SCAN выводов микросхемы первый триггер по цепи TDI (со входа PA[3]) подключен без преобразователя уровня. Из-за этого на транзисторы с номинальным напряжением питания 1,8 В приходят управляющие сигналы с уровнем до 5 В (U_{cc}). В результате нарушения предельного уровня напряжения сток-затвор или исток-затвор может произойти пробой подзатворенного диэлектрика транзистора.

Условия

При $U_{cc} > 2,0 \dots 4,0$ – деградация в течении длительного времени, с последующим пробоем.
При $U_{cc} > 4,0$ – пробой.

Последствия

Пробой транзистора носит случайный характер и поведение транзистора после пробоя может сильно отличаться. В большинстве случаев пробой транзистора приводит к увеличению тока потребления, но может привести к выходу из строя цепи BOUNDARY SCAN.

Рекомендации и способы обхода

Не допускать на входах питания микросхемы напряжение более 4 В.

Ошибки категории 2

0008 Ошибочное расположение площадок по правой стороне кристалла

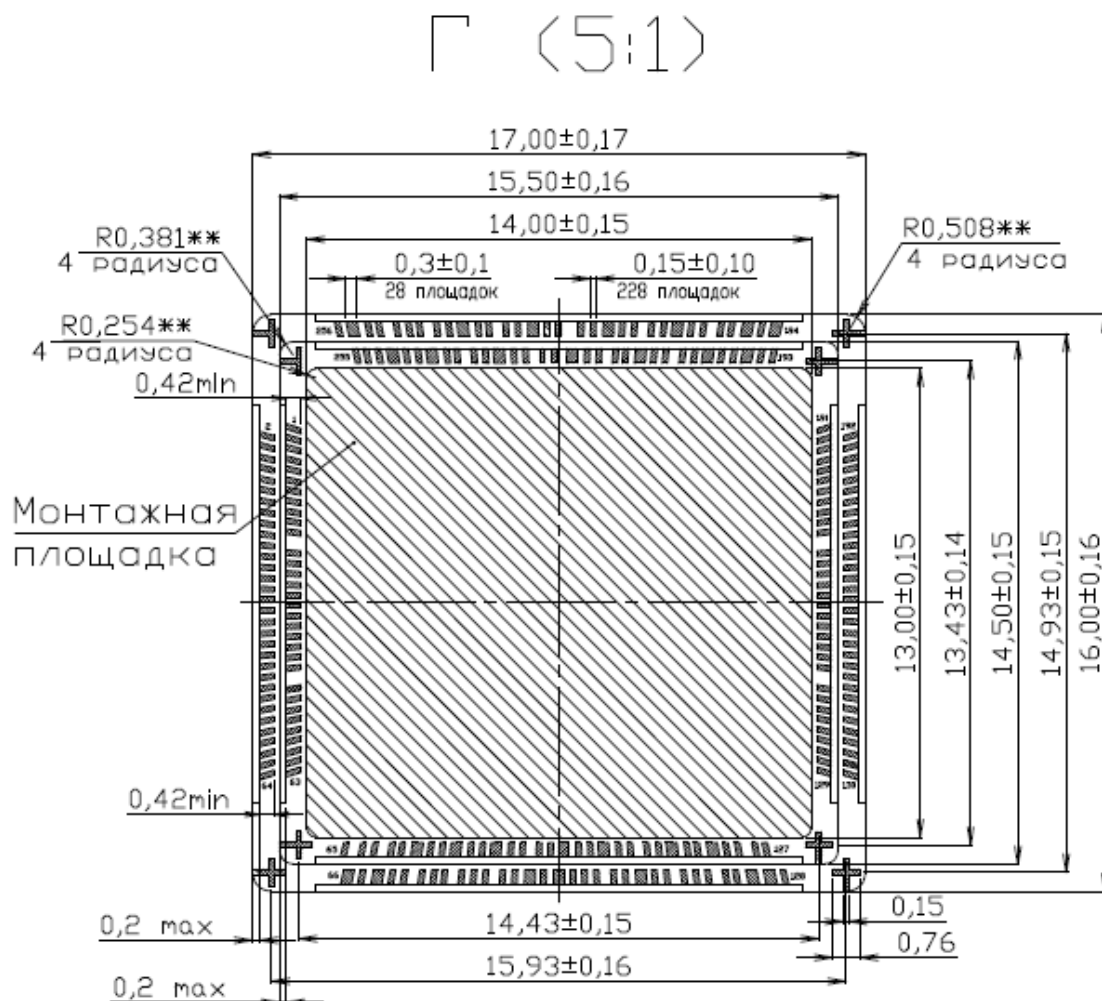
Статус

Причина определена

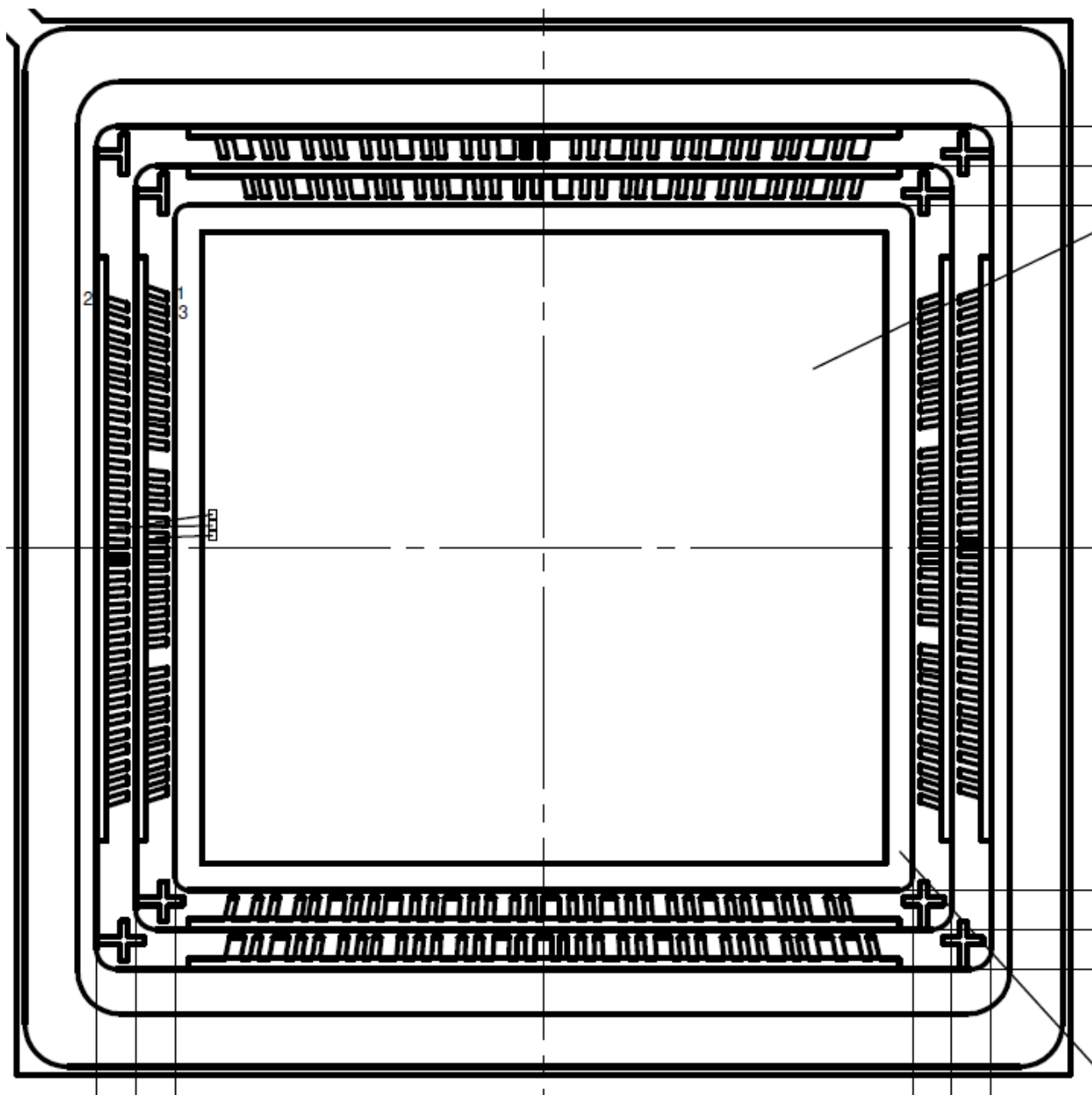
Исправлено в REV2

Описание

При разработке плана кристалла использовался ошибочный чертеж колодца корпуса (чертеж предприятия АО «Тестприбор» от 12.07.2013)



В действительности выводы с 129 по 192 (на чертеже справа) имеют другое расположение.



В результате на время исследований собраны образцы с временной цоколевкой.

		Тест, На время	Правильно Было до 16.10.14
1	RS1n0	192	
2	FT_RS1n	191	GND
3	RS1n0	190	PA27
4	FT_WRNn	189	GND
5	PE1	188	GND
6	PE30	187	PA25
7	PE29	186	PA27
8	PE28	185	PA28
9	PE27	184	PA30
10	PE26	183	PA31
11	PE25	182	PB0
12	PE24	181	PA30
13	PE23	180	PB0
14	PE22	179	PB3
15	PE21	178	PB2
16	PE20	177	PB5
17	PE19	176	PB8
18	PE18	175	PB4
19	PE17	174	PB6
20	UCC	173	PB10
21	UCC	172	PB7
22	GND	171	PB9
23	GND	170	PB12
24	UCC	169	PB11
25	UCC	168	PB12
26	PE16	167	PB13
27	PE15	166	PB14
28	PE14	165	PB13
29	PE13	164	PB16
30	PE12	163	PB17
31	PE11	162	PB18
32		161	UCC
33	PE10	160	GND
34	PE9	159	UCC
35	PE8	158	GND
36		157	UCC
37	PE7	156	GND
38	PE6	155	UCC
39	PE5	154	PB19
40	PE4	153	UCC
41	PE3	152	PB20
42	PE2	151	PB21
43	PE1	150	PB22
44	PD0	149	PB23
45	PD31	148	PB24
46	PD30	147	PB27
47	PD29	146	PB26
48	PD28	145	PB29
49	PD27	144	PB28
50	PD26	143	PB31
51	PD25	142	PB30
52	PD24	141	PC0
53	PD23	140	PB31
54	PD22	139	PC0
55	PD21	138	PC1
56	PD20	137	PC1
57	PD19	136	
58	PD18	135	PC3
59	PD17	134	PC4
60	PD16	133	PC3
61	SHDN	132	HV
62	PD15	131	HV
63	DUCCB	130	DUCCB
64	BDUCC	129	DUCCB
65	UCC		
66	UCC		
67	UCC		
68	UCC		
69	UCC		
70	UCC		
71	UCC		
72	UCC		
73	UCC		
74	UCC		
75	UCC		
76	UCC		
77	UCC		
78	UCC		
79	UCC		
80	UCC		
81	UCC		
82	UCC		
83	UCC		
84	UCC		
85	UCC		
86	UCC		
87	UCC		
88	UCC		
89	UCC		
90	UCC		
91	UCC		
92	UCC		
93	UCC		
94	UCC		
95	UCC		
96	UCC		
97	UCC		
98	UCC		
99	UCC		
100	UCC		
101	UCC		
102	UCC		
103	UCC		
104	UCC		
105	UCC		
106	UCC		
107	UCC		
108	UCC		
109	UCC		
110	UCC		
111	UCC		
112	UCC		
113	UCC		
114	UCC		
115	UCC		
116	UCC		
117	UCC		
118	UCC		
119	UCC		
120	UCC		
121	UCC		
122	UCC		
123	UCC		
124	UCC		
125	UCC		
126	UCC		
127	UCC		
128	UCC		

Условия и причина

Некорректная документация на корпус.

Последствия

Не соответствующая документации цоколевка.

Рекомендации и способы обхода

Изменить платы для работы с микросхемами согласно тестовой цоколевки.

0009 Сигналы между цифровыми доменами DUcc0, DUcc1 и DUcc2 без преобразователей уровня

Статус

Исследование

Исправлено в REV2. Домены DUcc0,1 и 2 объединены.

Описание

При добавлении тестовых режимов и трассировке были созданы новые связи между цифровыми доменами. При этом на новых сигналах не были добавлены соответствующие преобразователи напряжений (LevelShifters). При трассировке цепей одного домена, проходящих над другим доменом, буферизация производилась «по месту» и буферы подключались к питанию того домена, над которым они велись.

Условия и причина

Некорректно создан srf для многодоменного проекта.

Последствия

При схожести уровней питания доменов проблем не вызывает. Нельзя производить отключение питания неиспользуемого домена.

Рекомендации и способы обхода

На плате объединить выводы DUcc0, DUcc1 и DUcc2.

0010 Не выключается регулятор питания DUccB батарейного домена

Статус

Причина определена
Проблема в REV2 сохранилась.
В REV3 исправлено.

Описание

Встроенные регуляторы напряжения должны выключаться высоким уровнем на выводе SHDN. Регуляторы DUcc0, DUcc1, DUcc2, DUcc3 и DUcc_PLL выключаются. Регулятор DUccB (питание батарейного домена) не выключается и всегда выдает выходное напряжение 1,8 В.

Условия и причина

Для выключения регулятора сигнал SHDN переводится из домена Ucc в домен BDUcc. Для этого используются преобразователи уровня LS_Ucc_BDUcc. С помощью сигналов SW и NSW преобразователь может быть изолирован (нет питания Ucc) и выдавать на выход сигнал 0. Низкий уровень является сигналом разрешения работы регулятора. Схема формирования сигналов SW и NSW в блоке PMU спроектирована так, чтобы при наличии питания Ucc SW=0, NSW=1. При этом первоначально преобразователи были спроектированы так, что при наличии Ucc они ожидали SW=1 и NSW=0. Это разногласие было выявлено после разработки блока PMU. И было принято решение переделать логику для преобразователей, приведя ее в соответствие с блоком PMU. Но при этом ошибочный преобразователь уже был вставлен в блок PMU (для перевода сигнала SHDN из Ucc в BDUcc). Таким образом было получено, что при нормальном режиме работы этот преобразователь заизолирован и всегда выдает низкий уровень на сигнал разрешения регулятора питания DUccB.

Последствия

Напряжение питания DUccB всегда формируется встроенным регулятором.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. При необходимости задать внешнее питание DUccB подать потенциал больший, чем формирует сам регулятор.

0013 Утечка питания ВUсс и Uсс в питание DUссВ (0003, 0005, 0006). Утечка питания Uсс в DUсс0 (0003). Утечка питания Uсс в DUсс_PLL (0003)

Статус

Исследование

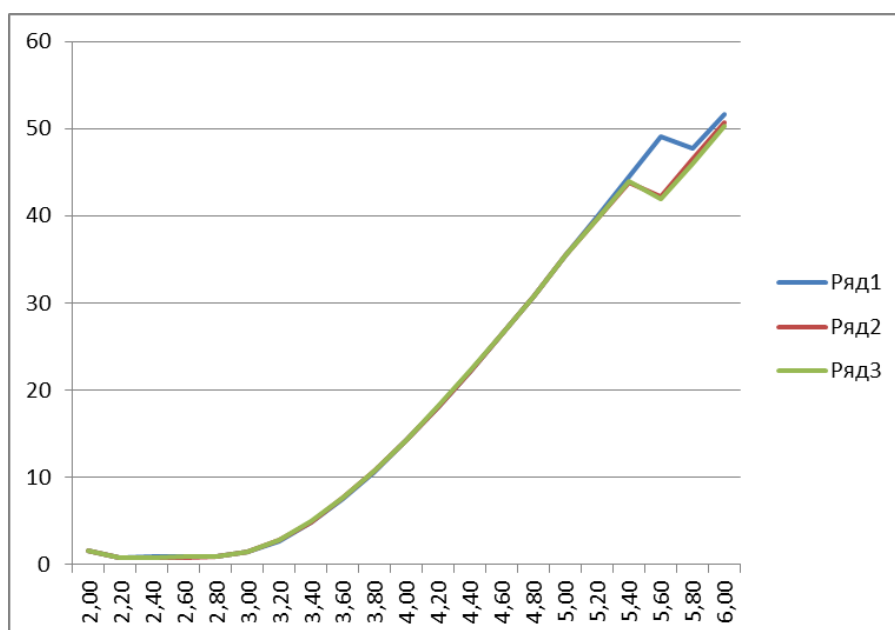
В REV3 исправлено

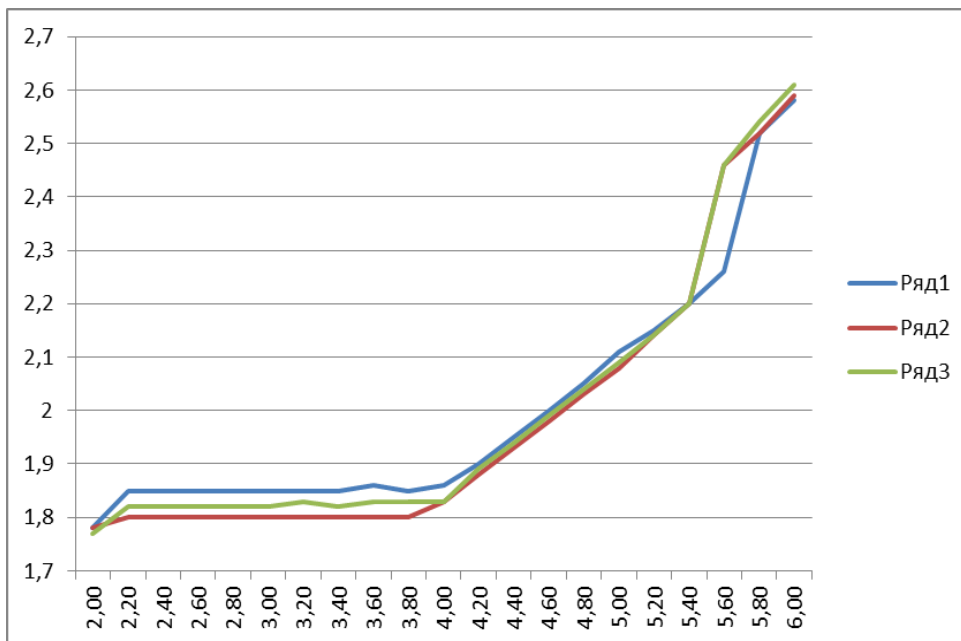
Описание

В первой ревизии (REV1) такой проблемы не было.

При росте внешнего питания ВUсс (если есть только оно) или Uсс (если есть оно) начинает повышаться уровень питания DUссВ.

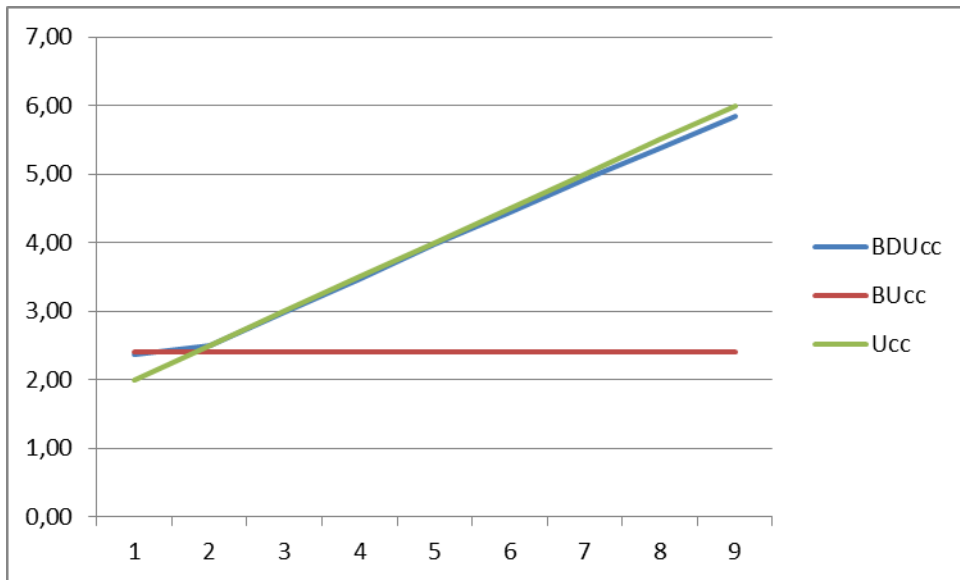
	Чип №3			Чип №5			Чип №6		
ВUсс	DUссВ,V	lcc_BUсс, mA	Uсс,V	DUссВ,V	lcc_BUсс, mA	Uсс,V	DUссВ,V	lcc_BUсс, mA	Uсс,V
2,00	1,78	1,522	0	1,78	1,525	0	1,77	1,536	0
2,20	1,85	0,798	0	1,8	0,745	0	1,82	0,766	0
2,40	1,85	0,837	0	1,8	0,782	0	1,82	0,805	0
2,60	1,85	0,876	0	1,8	0,82	0	1,82	0,844	0
2,80	1,85	0,948	0	1,8	0,892	0	1,82	0,912	0
3,00	1,85	1,414	0	1,8	1,364	0	1,82	1,385	0
3,20	1,85	2,7	0	1,8	2,726	0	1,83	2,752	0
3,40	1,85	4,76	0	1,8	4,869	0	1,82	4,899	0
3,60	1,86	7,496	0	1,8	7,599	0	1,83	7,633	0
3,80	1,85	10,677	0	1,8	10,768	0	1,83	10,805	0
4,00	1,86	14,198	0	1,83	14,265	0	1,83	14,285	0
4,20	1,9	18,014	0	1,88	18,098	0	1,89	18,119	0
4,40	1,95	22,095	0	1,93	22,146	0	1,94	22,171	0
4,60	2	26,355	0	1,98	26,372	0	1,99	26,399	0
4,80	2,05	30,758	0	2,03	30,736	0	2,04	30,772	0
5,00	2,11	35,47	0	2,08	35,414	0	2,09	35,476	0
5,20	2,15	39,92	0	2,14	39,581	0	2,14	39,699	0
5,40	2,2	44,55	0	2,2	43,884	0	2,2	44,006	0
5,60	2,26	49,086	0	2,46	42,243	0	2,46	41,919	0
5,80	2,52	47,733	0	2,52	46,5	0	2,54	46,018	0
6,00	2,58	51,69	0	2,59	50,652	0	2,61	50,343	0



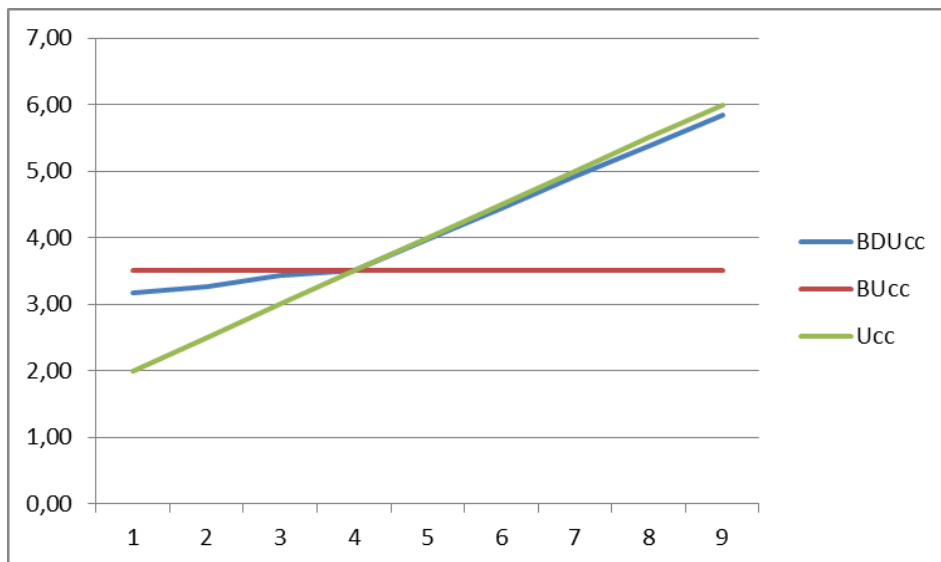


Влияние питания Ucc на DUccB (схема POR выключена программным способом)

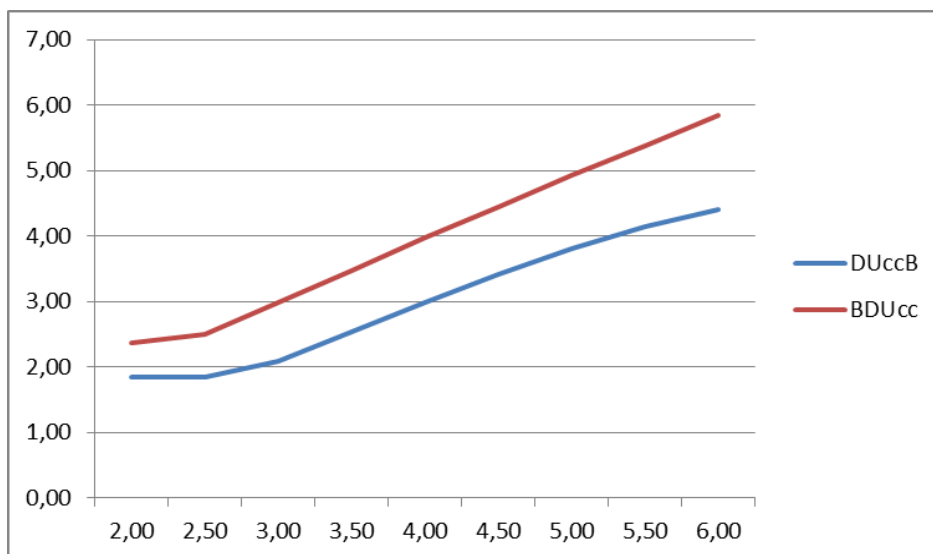
Чип №5					Чип №6					
BUcc, V	BDUcc, V	DUccB, V	Icc_Ucc, mA	Icc_BUcc, mA	Ucc, V	BDUcc, V	DUccB, V	Icc_Ucc, mA	Icc_BUcc, mA	Ucc, V
2,40	2,36	1,84	35,06	0,01	2,00	2,36	1,83	33,02	0,01	2,00
2,40	2,50	1,84	37,00	0,00	2,50	2,50	1,83	35,22	0,00	2,50
2,40	2,99	2,08	40,00	0,00	3,00	2,99	1,97	38,16	0,00	3,00
2,40	3,48	2,54	45,00	0,00	3,50	3,49	2,43	41,98	0,00	3,50
2,40	3,97	2,99	93,00	0,00	4,00	3,97	2,87	85,45	0,00	4,00
2,40	4,45	3,41	215,00	0,00	4,50	4,43	3,28	203,92	0,00	4,50
2,40	4,92	3,80	377,00	0,00	5,00	4,86	3,65	361,30	0,00	5,00
2,40	5,38	4,14	560,00	0,00	5,50	5,27	3,98	543,80	0,00	5,50
2,40	5,85	4,41	733,00	0,00	6,00	5,85	4,24	734,18	0,00	6,00
3,50	3,18	1,84	13,00	22,00	2,00	3,18	1,87	12,05	22,41	2,00
3,50	3,27	1,84	34,00	4,50	2,50	3,27	1,87	32,17	4,85	2,50
3,50	3,43	2,07	42,00	0,02	3,00	3,42	1,98	40,01	0,02	3,00
3,50	3,50	2,53	46,00	0,00	3,50	3,50	2,43	44,26	0,00	3,50
3,50	3,97	2,98	95,00	0,00	4,00	3,97	2,87	90,30	0,00	4,00
3,50	4,44	3,40	217,00	0,00	4,50	4,42	3,27	208,60	0,00	4,50
3,50	4,92	3,50	379,00	0,00	5,00	4,85	3,64	366,20	0,00	5,00
3,50	5,38	4,13	558,00	0,00	5,50	5,27	3,97	547,00	0,00	5,50
3,50	5,85	4,36	743,00	0,00	6,00	5,85	4,22	741,00	0,00	6,00



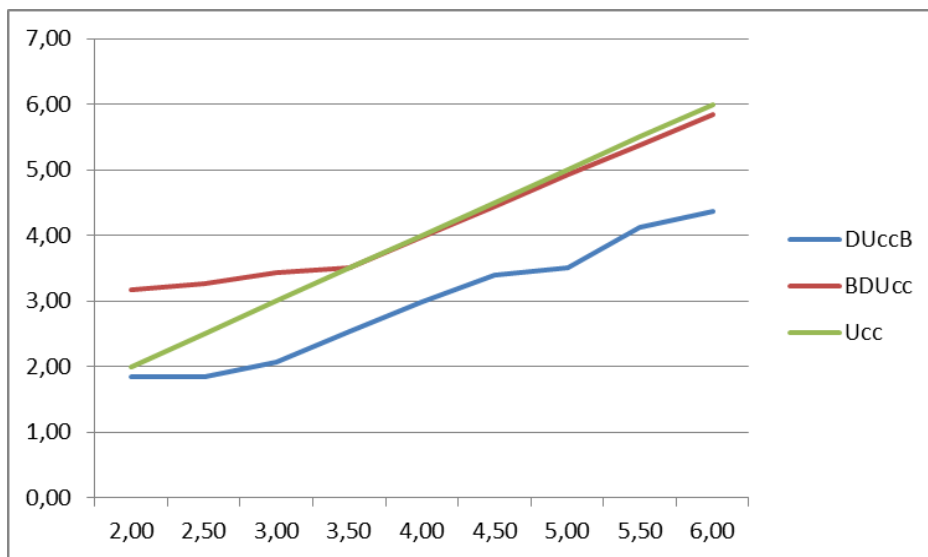
Изменение BDUcc при постоянном BUcc = 2,4 В и нарастании Ucc



Изменение BDUcc при постоянном BUcc = 3,5 В и нарастании Ucc



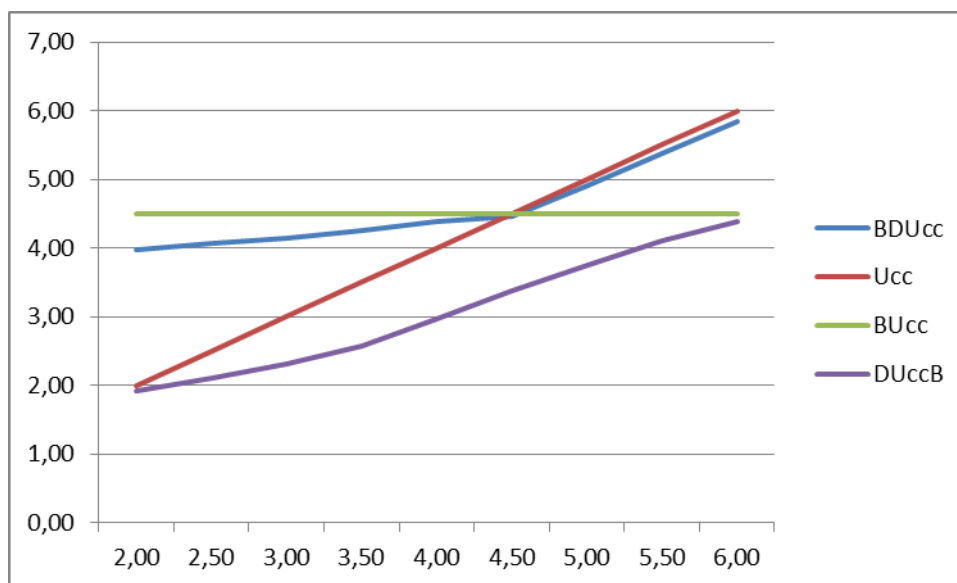
Изменение DUccb от BDUcc при постоянном BUcc = 2,4 В и росте Ucc



Изменение DUccB от BDUcc при постоянном BUcc = 3,5 В и росте Ucc

		Чип №5			
BUcc, V	BDUcc, V	DUccB, V	Icc_Ucc, mA	Icc_BUcc, mA	Ucc, V
4,50	3,98	1,92	-38,00	76,00	2,00
4,50	4,07	2,11	-10,00	50,00	2,50
4,50	4,15	2,31	17,00	26,00	3,00
4,50	4,25	2,57	42,00	5,00	3,50
4,50	4,39	2,96	97,00	0,04	4,00
4,50	4,47	3,37	220,00	0,00	4,50
4,50	4,91	3,76	381,00	0,00	5,00
4,50	5,38	4,11	564,00	0,00	5,50
4,50	5,85	4,38	741,00	0,00	6,00

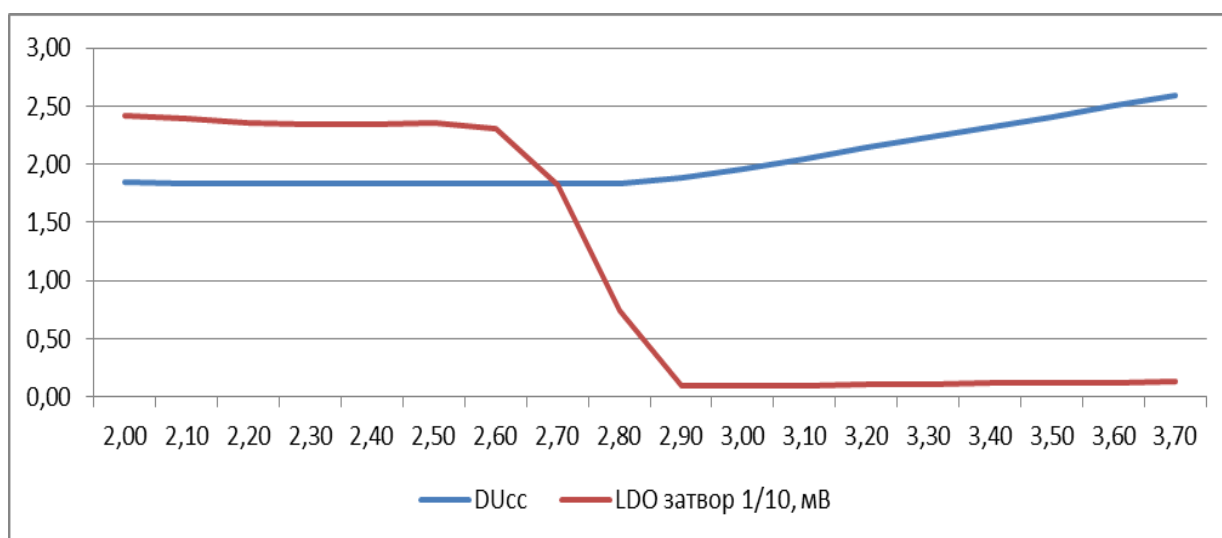
Изменение DUccB от BDUcc при постоянном BUcc = 4,5В и росте Ucc



Изменение DUccB от BDUcc при постоянном BUcc = 4,5В и росте Ucc

Значение уровня напряжения на затворе регулирующего транзистора батарейного LDO регулятора

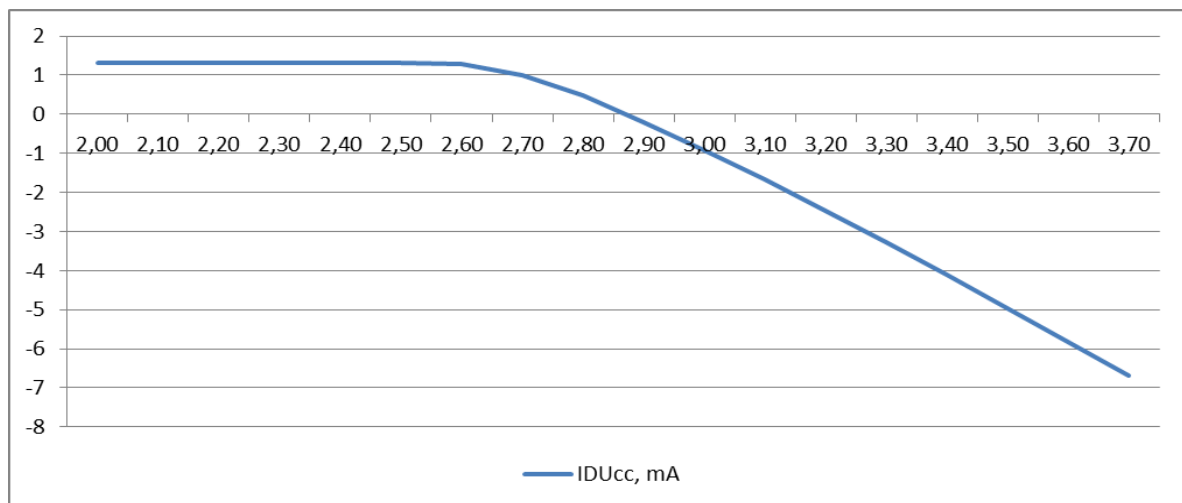
BUcc, V	BDUcc, V	Чип №5		Icc_Ucc, mA	Icc_BUcc, mA	Ucc, V	ADC LDO	Напряжение затвора LDO, В	Напряжение затвора LDO, мВ
		DUccB, V							
2,40	2,35	1,85		78,00	0,00	2,00	495	0,24169922	24,1699219
2,40	2,37	1,84		78,00	0,00	2,10	466	0,23891602	23,8916016
2,40	2,38	1,84		79,00	0,00	2,20	439	0,23579102	23,5791016
2,40	2,38	1,84		80,00	0,00	2,30	417	0,23415527	23,4155273
2,40	2,41	1,84		80,00	0,00	2,40	399	0,23378906	23,3789063
2,40	2,50	1,84		81,00	0,00	2,50	385	0,23498535	23,4985352
2,40	2,59	1,84		81,90	0,00	2,60	363	0,23041992	23,0419922
2,40	2,69	1,84		82,00	0,00	2,70	277	0,18259277	18,2592773
2,40	2,79	1,84		83,00	0,00	2,80	109	0,07451172	7,45117188
2,40	2,89	1,88		84,00	0,00	2,90	13	0,0092041	0,92041016
2,40	2,99	1,96		85,00	0,00	3,00	13	0,00952148	0,95214844
2,40	3,09	2,05		85,00	0,00	3,10	13	0,00983887	0,98388672
2,40	3,18	2,14		86,00	0,00	3,20	13	0,01015625	1,015625
2,40	3,29	2,23		87,00	0,00	3,30	14	0,0112793	1,12792969
2,40	3,38	2,32		88,00	0,00	3,40	14	0,01162109	1,16210938
2,40	3,47	2,41		90,00	0,00	3,50	14	0,01196289	1,19628906
2,40	3,58	2,50		93,00	0,00	3,60	14	0,01230469	1,23046875
2,40	3,67	2,59		99,00	0,00	3,70	14	0,01264648	1,26464844



Зависимость напряжения на регулирующем транзисторе в момент появления утечки (в 1/10 мВ)

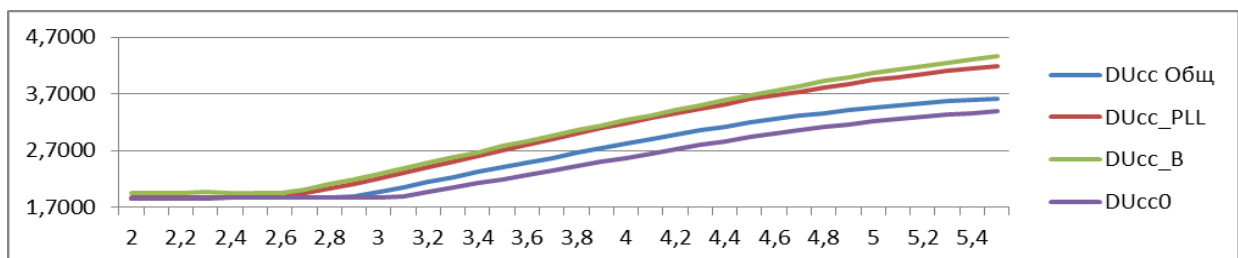
Ток, который утекает в DUccB, был измерен заданием внешнего источника 1,8 В (кэйтль). И по току потребления показано, что цифровая часть батарейного домена потребляет примерно 1,3 В. А при начале утечки в DUccB ток, начинающий втекать, имеет резистивно ограниченную картину. Сопротивление ограничения примерно равно 120 Ом.

			Чип №5			
BUcc, V	BDUcc, V	IDUcc, mA	EXT DUccB,V	Icc_Уcc, mA	Ucc,V	ADC LDO
2,00	2,01	1,303	1,80	76,00	2,00	0
2,10	2,10	1,303	1,80	77,00	2,10	0
2,20	2,20	1,306	1,80	77,90	2,20	6
2,30	2,30	1,305	1,80	78,50	2,30	8
2,40	2,39	1,305	1,80	79,00	2,40	10
2,50	2,50	1,305	1,80	79,80	2,50	11
2,60	2,60	1,277	1,80	80,00	2,60	12
2,70	2,69	1,01	1,80	81,50	2,70	13
2,80	2,79	0,47	1,80	82,00	2,80	13
2,90	2,89	-0,192	1,80	84,00	2,90	13
3,00	2,98	-0,915	1,80	86,00	3,00	13
3,10	3,09	-1,679	1,80	87,00	3,10	14
3,20	3,18	-2,46	1,80	89,00	3,20	14
3,30	3,28	-3,28	1,80	91,00	3,30	14
3,40	3,38	-4,105	1,80	92,00	3,40	14
3,50	3,47	-4,96	1,80	95,00	3,50	14
3,60	3,57	-5,82	1,80	98,00	3,60	14
3,70	3,66	-6,69	1,80	105,60	3,70	14



Ток утечки в домен с питанием DUcc_B

В первой ревизии (REV1) проблема была вызвана антенна-диодами и строго соответствовала им, во второй ревизии (REV2) утечка есть во все домены цифрового питания 1,8 В.

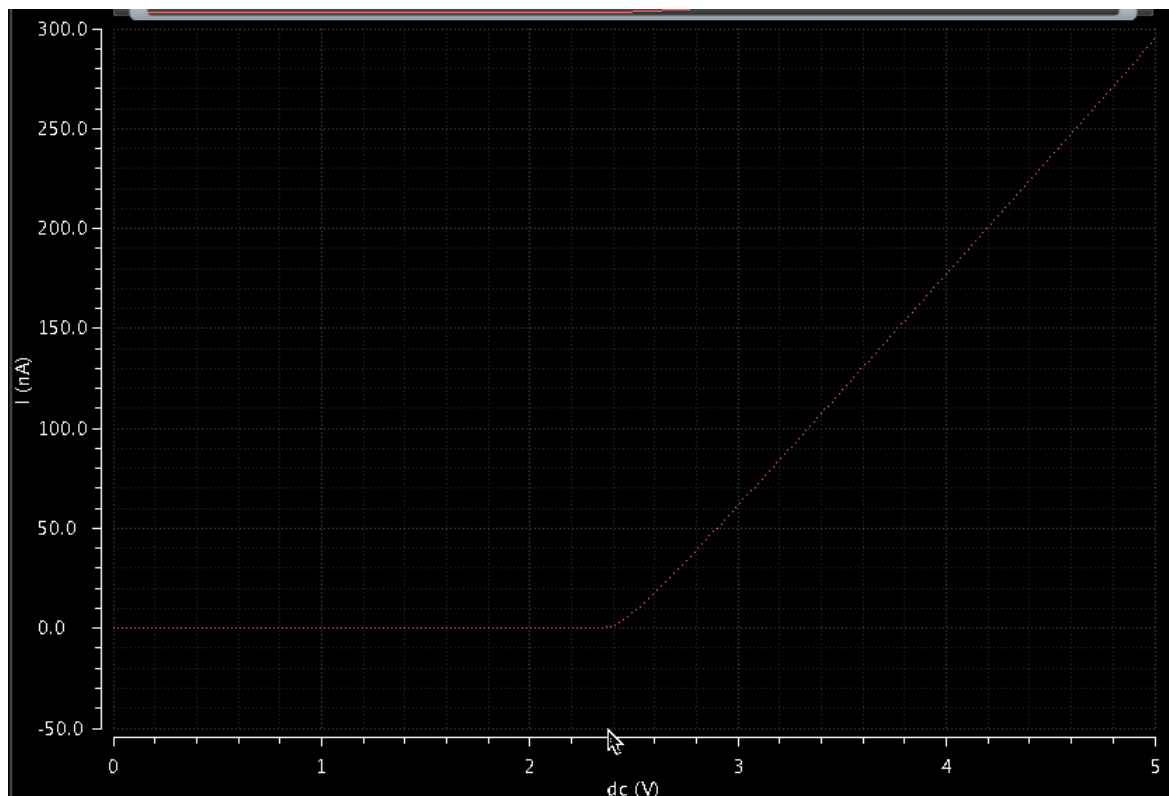


Утечка в цифровой домен возникает на уровне 2,6 В ((1,8 + 0,8) В), но заметна начинает становиться для разных доменов на разных уровнях. Для доменов DUcc_PLL и DUcc_B на уровне 2,6 В, а для DUcc0 – на уровне 3,1 В. Это объясняется тем, что утечка до этого уровня компенсируется утечкой цифровой части. Если все домены объединены, то момент переключения наблюдается на уровне 2,9 В.

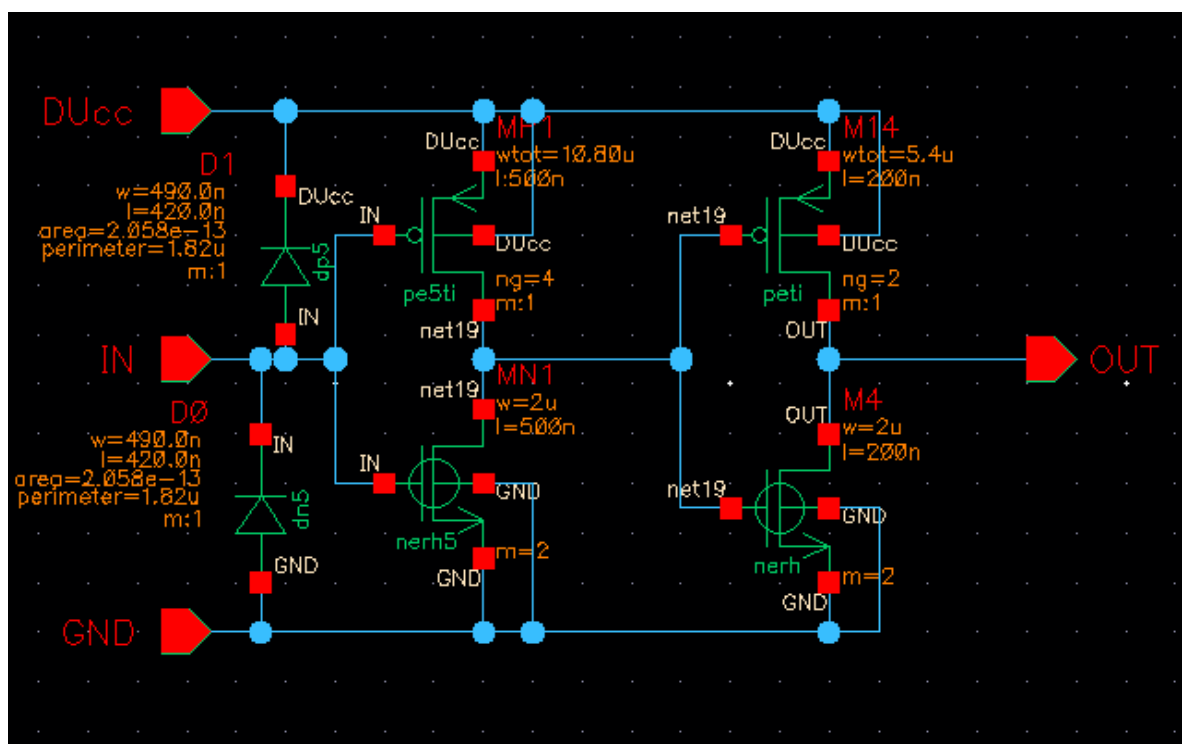
Условия и причина

В схеме преобразователя уровня PRC13_LS_3_2_xxxx реализованы антенна-диоды на паразитных диодах.

При моделировании эти диоды показывают малый прямой ток через себя. Ток не превышает 500 нА. ВАХ диода представлена на рисунке.



В действительности при наличии единицы на входе диода прямой ток составляет до 1 мА. Схема преобразователя уровня на рисунке.



Проблемный диод D1

Последствия

Появление уровня питания больше 1,98 В на цифровой схеме.

Рекомендации и способы обхода

Объединение всех выводов DUcc (DUcc_PLL, DUccB и DUcc1, DUcc2 и DUcc3) в единую цепь. Это приводит к тому, что ток утечки во всех доменах потребляется цифровым доменом. А при снижении уровня ниже 1,8 В подключаются встроенные LDO регуляторы. Таким образом, для всей цифровой части микросхемы уровень питания стабилизируется в допустимом диапазоне. Также недопустимо переводить микросхему в режим статического тока при питаниях более 3,0 В, так как статического тока цифровой части недостаточно для разрядки паразитного тока утечки.

0014 Не выключается регулятор питания DUccB батарейного домена**Статус**

Исследование

В REV3 исправлено

Описание

Несмотря на исправление ошибки 0010, проблема не решена. Встроенные регуляторы напряжения должны выключаться высоким уровнем на выводе SHDN. Регуляторы DUcc0, DUcc1, DUcc2, DUcc3 и DUcc_PLL выключаются. Регулятор DUccB (питание батарейного домена) не выключается и всегда выдает выходное напряжение 1,8 В.

Условия и причина

Сигналы SW/NSW формируются при условии, что Ucc больше, чем VUcc, хотя должен формироваться при условии, что Ucc более 3,0 В. В результате, если на VUcc заведен Ucc, то сигналы SW/NSW всегда изолируют сигнал выключения LDO DUccB.

Последствия

Напряжение питания DUccB всегда формируется встроенным регулятором.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. При необходимости задать внешнее питание DUccB требуемого уровня. При превышении уровня, внутреннее LDO автоматически отключается, при снижении, если источник может контролировать превышение, то внутренний LDO уйдет в насыщение и режим КЗ с током ограничения ~50 мА при 1,6 В.

0015 Завышен уровень срабатывания схемы PORESETn**Статус**

Исследование

В REV3 исправлено

Описание

Включение LDO регуляторов DUcc0, DUcc1, DUcc2 и DUcc_PLL происходит на уровне {4,4...5,5}В (расчетное не более 3,0 В). Выключение на уровне {3,2...4,9}В (расчетное не менее 2,6 В). При этом на этом же уровне происходит переключение с BUcc на Ucc при формировании BDUcc. При отключении схемы POR сигналом POREN схема начинает функционировать в диапазонах от 2,2 до 6,0 В. Схема POVER сбрасывает схему в диапазоне {6,4...6,9} В (расчетное 5,5...5,7В).

Условия и причина

При подстройке источника опорного напряжения (TRIM_REF и TRIMR) существенных изменений не обнаружено. При этом выходное напряжение DUccB, формируемое от того же опорного напряжения, укладывается в допустимые нормы 1,8 В (за исключением случаев, когда начинаются большие утечки из Ucc).

Возможное не прохождение сигнала LSI из-за просадки высокого уровня через диод в левел-шифтере не подтверждается, так как на моделировании частота перестает проходить только при уровне DUcc ниже 0,5 В. Реально же в схеме запуск происходит, когда на выходе DUcc более 2,5 В из-за утечек или при 1,8 В, когда задаем извне.

Уровень срабатывания POR имеет зависимость от времени, но это обусловлено саморазогревом кристалла

Chip=	21			14			26		
	1 мин	5 мин	10 мин	1 мин	5 мин	10 мин	1 мин	5 мин	10 мин
T=25C									
PORup	6,00	5,20	4,90	5,10	3,00	3,00	5,30	3,00	3,00
PORdown	5,60	3,10	3,10	4,00	2,80	2,80	4,20	2,90	2,90
POVRup	7,00	7,00	6,90	6,50	6,50	6,50	6,60	6,60	6,60
POVRdown	6,70	6,70	6,70	6,30	6,30	6,30	6,40	6,40	6,40

Но при этом уровень POVR не изменялся.

Зависимость уровня POR от температуры

T=	-60	-30	0	30	60	90	120
Chip=26							
PORup	6,4	6,2	5,9	5,3	4,3	3,0	2,9
PORdown	6,2	5,9	5,5	4,5	3,0	2,9	2,8
Chip=14							
PORup	5,9	5,7	5,5	5,1	2,9	2,90	2,88
PORdown	5,6	5,4	4,9	4,1	2,8	2,76	2,73

T=	40	50	60	70	80	90	100	110	120	130
Chip=21										
PORup	5,80	5,60	5,40	5,52	5,20	4,60	3,20	3,12	3,10	3,10
PORdown	5,30	5,00	4,60	4,10	4,10	3,00	3,00	2,99	2,97	2,95

Уровень POR не зависит от освещения кристалла

Освещение	Лампы		LED фонарь
	Темно	дневного света	
Chip=4			
PORup	5,35	5,25	5,30
PORdown	4,44	4,39	4,40

Исследование схемы REFERANCE (EXTR=110K ±1%)

TRIMREF[2:0] TRIMR[7:0] = 0 (мин.)	IREF (SELR=0), мкА	IREF (SELR=1), мкА	REF 1,2B (SELR=1),В	REF 2,5B (SELR=0),В
0	4,944	11,140	1,25	2,72
1	4,886	11,010	1,24	2,68
2	4,826	10,878	1,23	2,64
3	4,768	10,745	1,22	2,61
4	4,708	10,615	1,20	2,59
5	4,651	10,481	1,19	2,56
6	4,592	10,350	1,17	2,52
7	4,533	10,215	1,16	2,49
TRIMREF[2:0] TRIMR[7:0] = 128 (тип.)	IREF (SELR=0), мкА	IREF (SELR=1), мкА	REF 1,2B (SELR=1),В	REF 2,5B (SELR=0),В
0	9,796	11,145	1,26	2,66
1	9,680	11,014	1,25	2,65
2	9,560	10,881	1,23	2,63
3	9,445	10,752	1,22	2,61
4	9,320	10,615	1,20	2,58
5	9,212	10,485	1,18	2,54
6	9,098	10,351	1,17	2,50
7	8,981	10,216	1,16	2,47
TRIMREF[2:0] TRIMR[7:0] = 255 (макс)	IREF (SELR=0), мкА	IREF (SELR=1), мкА	REF 1,2B (SELR=1),В	REF 2,5B (SELR=0),В
0	14,551	11,145	1,25	2,69
1	14,377	11,014	1,25	2,67
2	14,210	10,888	1,24	2,64
3	14,035	10,745	1,22	2,60
4	13,861	10,615	1,20	2,58
5	13,690	10,481	1,19	2,54
6	13,515	10,350	1,18	2,50
7	13,336	10,217	1,16	2,48

С помощью FIB были проанализированы точки источника опорного тока, источника опорного напряжения, буферизированного источника опорного напряжения.

В точке источника опорного тока присутствует ток с типовым значением 1 мкА.

В точках источника опорного напряжения уровень 0 В (возможно повреждение кристалла).

При «включении» в точку источника опорного тока дополнительно 0,3 мкА уровень POR снижается до 2,2 В. При «включении» 1,5 мкА микросхема стартует правильно во всех случаях.

Последствия

Запуск схемы, начиная с 4,6...5,5 В.

Рекомендации и способы обхода

После запуска на высоком напряжении первыми инструкциями выключить схему POR и после этого снизить напряжение питания до требуемого приемлемого уровня.

0016 Не функционирует ADC0

Статус

Исследование

В REV3 исправлено

Описание

При работе в функциональном режиме (процессор-АЦП, не режим раскрытия) АЦП 0 не функционирует. При этом эта же программа с ADC1 функционирует. В режиме раскрытия схема ADC0 и ADC1 функционируют корректно. Каких либо значительных отклонений по трассировке сигналов тактовой частоты и сигнала готовности от АЦП не обнаружено. При запуске ADC0 взводится флаг ADC_ERFIN, свидетельствующий о несоответствии работы цифровой части аналогового АЦП и контроллера АЦП. Взведение флага прекращает работу контроллера АЦП (не фиксируются данные, некорректность в разработке). Сброс флага не исправляет ситуацию.

Условия и причина

В функциональном режиме работает только блок ADC1.

При повышении питания DUSS0 до уровня 2,2 В перестает работать также и ADC1.

При снижении питания DUSS0 до уровня 1,61 В работают оба блока.

Снижение тактовой частоты не исправляет ситуации, что свидетельствует о нарушении времен HOLD. Явные нарушения в работе ADC1 наблюдаются при частоте ADC_CLK > 80 МГц и вызваны тем, что емкость преобразования не успевает зарядиться. Причина в нарушении таймингов работы контроллера АЦП. При обнаружении расхождения в работе цифровой части АЦП и контроллера АЦП, контроллер АЦП блокирует получение результатов.

Последствия

Нельзя использовать ADC0 в обычном режиме

Рекомендации и способы обхода

0019 Динамический ток потребления превышает нормы ТЗ

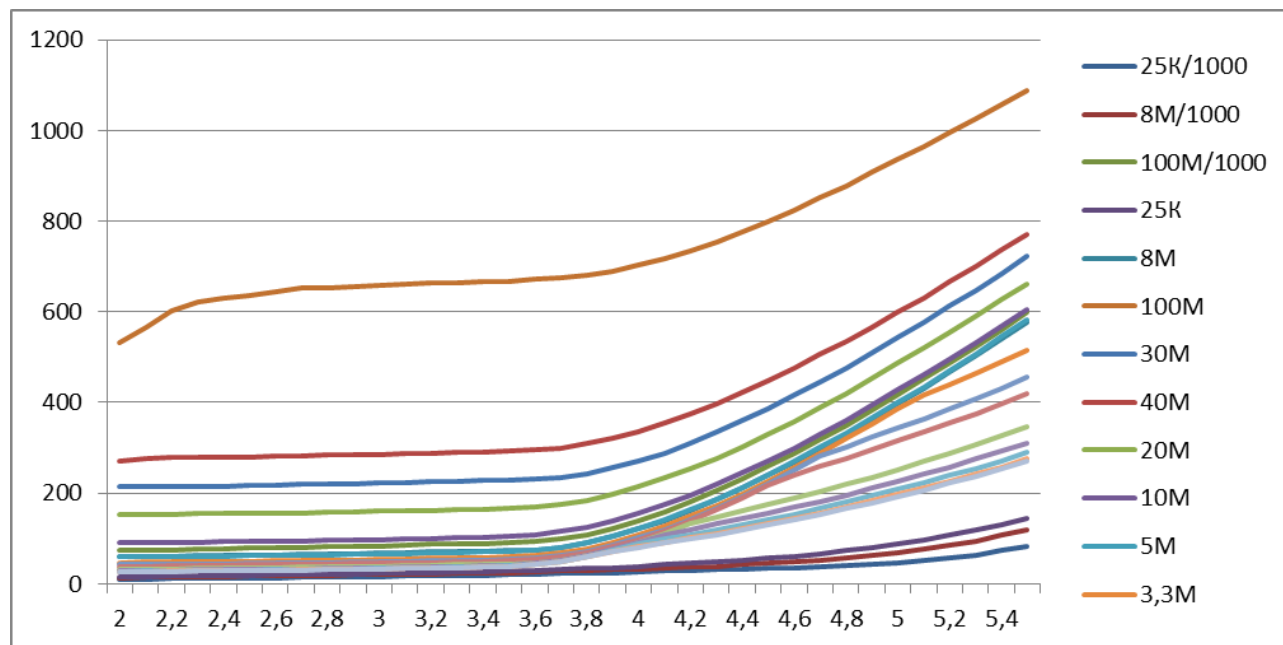
Статус

Исследование

В REV3 улучшено

Описание

Определение значения динамического тока затруднено на фоне утечки из U_{cc} в DU_{cc} . Графики зависимости динамического тока от напряжения питания и частоты представлены на рисунке.



Таким образом можно предположить, что при частоте 100 МГц динамический ток будет составлять порядка 750 мА. Увеличение тока при U_{cc} более 3,6 В обусловлено утечкой в DU_{cc} (ошибка 0013).

Условия и причина

Применение технологии КНИ с кольцевой формой затворов привело к повышению потребления цифровых ячеек от 3 до 7 раз по сравнению с традиционными библиотеками КМОП. Значительные размеры кристалла привели к необходимости построения большого дерева клока, что так же привело к росту динамического потребления. Общее динамическое потребление соответствует расчетным значениям. Таким образом можно считать, что оно верно для данного кристалла.

Последствия

Нарушение норм ТЗ. Повышенное потребление приводит к большой выделяемой мощности на LDO. При питании 5,5 В на LDO будет выделяться до 2,8 Вт.

Рекомендации и способы обхода

При использовании микросхемы рекомендуется для LDO подключать питание U_{cc1} от минимально-допустимого уровня 2,5 В. В этом случае на LDO будет выделяться энергия на уровне 0,6 Вт. При этом ток потребления так же будет составлять 750 мА.

0020 Статический ток потребления превышает нормы ТЗ

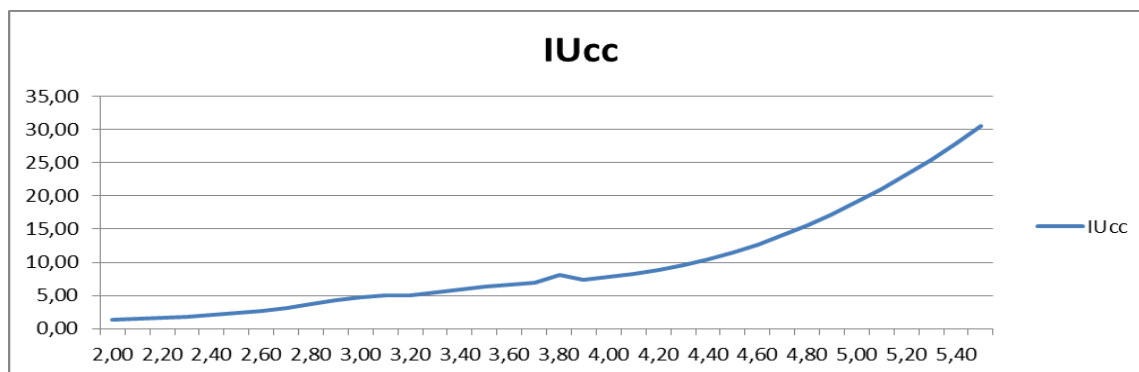
Статус

Исследование

В REV3 улучшено

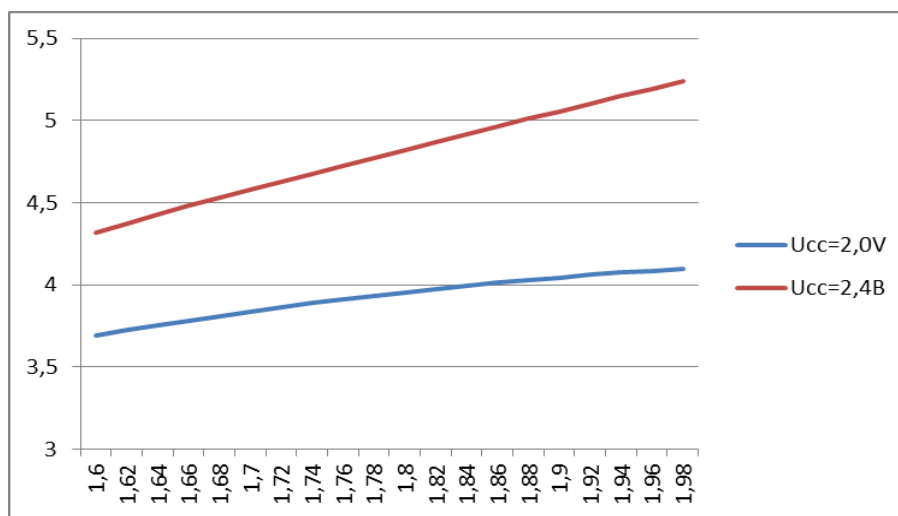
Описание

Определение значения статического тока затруднено на фоне утечки из U_{cc} в DU_{cc} . Графики зависимости статических токов приведены на рисунке.



Статический ток по основному питанию вычислен имперически (вычтены потребление платы и предполагаемый ток утечки в DU_{cc}) при этом, так как невозможно отключить LDO батарейного домена DU_{cc_B} , сохраняется утечка в это питание. Можно предположить, что уровень статического тока по питаниям составляет порядка 7...10 мА. В данном токе не учитывается ток потребления цифрового питания.

Зависимость статического тока цифрового питания приведена на рисунке.



Цифровая часть имеет статический ток на уровне 5 мА. При этом есть зависимость от основного питания, возможно связанная с работой шифторов напряжения.

Общий статический ток потребления стоит оценивать на уровне 30 мА. Сейчас с условием утечки из U_{cc} в DU_{cc} статический ток на уровне 80 мА.

Условия и причина

Наличие утечки из U_{cc} в DU_{cc} не позволяет провести более детальный анализ.

Последствия

Нарушение норм ТЗ. Затрудняется контроль микросхем при отбракованном производстве. Затрудняется поиск возможных проблем в кристалле.

Рекомендации и способы обхода

0021 Максимальные рабочие тактовые частоты не соответствуют нормам ТЗ

Статус

Исследование

В REV3 улучшено

Описание

Наличие проблем с утечкой из U_{cc} в DU_{cc} затрудняет стабилизацию питания DU_{cc} . Поэтому исследование работоспособности при максимальных частотах показывает, что при $DU_{cc}=1,60$ В максимальная частота составляет порядка 60 МГц, при $DU_{cc}=2,00$ В максимальная частота составляет порядка 110 МГц.

Условия и причина

Применение технологии КНИ с кольцевой формой затворов привело к замедлению ячеек в ~2 раза. Значение максимальной частоты совпадает с расчетным значением на этапе синтеза и топологии. Таким образом можно считать, что максимальная частота 60 МГц будет верной для данного кристалла.

Последствия

Нарушение норм ТЗ.

Рекомендации и способы обхода

0025 Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП

Статус

Исследование

В REV3 исправлено

Описание

В качестве сигналов опорного напряжения для преобразования в АЦП и ЦАП могут выступать сигналы с портов PC6/PC7 и PC22/PC23 (для АЦП) и PC24/PC26 и PC27/PC29 (для ЦАП). Но в кристалле этих связей нет. При этом сигнальные цепи каналов АЦП и ЦАП реализованы.

Условия и причина

Обрыв связей произошел на этапе синтеза, несмотря на то, что на данные цепи был наложен запрет на модификацию.

Последствия

Нет возможности использования внешних сигналов в качестве источников опорного напряжения для АЦП и ЦАП.

Рекомендации и способы обхода

Использовать в качестве источников опорного напряжения только:

- Питание/Земля блока;
- 2,5 В от внутреннего источника опорного напряжения.

0026 Возникновение ошибки GAPERR в режиме ОУ контроллера ГОСТ P52070-2003

Статус

Исследование

В REV3 исправлено

Описание

После успешного завершения приёма или передачи сообщения конечным устройством в последующей паузе $t_2 < 6$ мкс (согласно ГОСТ P52070-2003 $t_2 < 4$ мкс) приход синхросигнала вызывает ошибку GAPERR.

Условия

Возникновение синхросигнала в паузе $t_2 < 6$ мкс после успешного завершения предыдущего сообщения конечным устройством.

Последствия

При установленном бите RERR регистра контроля командное слово, получаемое при установленном флаге GAPERR, не принимается и не обрабатывается конечным устройством.

Рекомендации и способы обхода

Всегда устанавливать бит RERR регистра контроля в ноль для автоматического сброса ошибки GAPERR при переходе конечного устройства в состояние IDLE. В этом случае приём командного слова с синхросигналом, полученным в паузе $t_2 < 6$ мкс, будет приниматься и обрабатываться конечным устройством корректно.

0027 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429

Статус

Исследование

В REV3 исправлено

Описание

При передаче данных в RZ последовательном коде на скорости 100 кбит/с в соответствии с ГОСТ 18977-79 длительности импульсов положительной и отрицательной полярности наличия сигнала составляют 4 мкс. Это ограничивает совместимость с руководством PTM 1495-75 (изменение №3) и стандартом ARINC429, в которых эта длительность регламентирована как $5 \text{ мкс} \pm 5 \%$.

Условия

При передаче со скоростью 100 кбит/с.

Последствия

При чувствительности принимающего устройства, функционирующего в соответствии с руководством PTM 1495-75 (изменение №3) или стандартом ARINC429, к длительности импульса положительной или отрицательной полярности наличия сигнала длительностью не менее $5 \text{ мкс} \pm 5 \%$ (при скорости передачи 100 кбит/с) возможен сбой.

Рекомендации и способы обхода

При сопряжении с устройствами на скорости 100 кбит/с, соответствующими PTM 1495-75 (изменение №3) или ARINC429, требуется проверка на отсутствие сбойных ситуаций принимающим устройством.

0028 Отсутствие запасов на допустимое искажение входных сигналов контроллера ГОСТ Р52070-2003.

Статус

Исследование.

В REV3 исправлено

Описание

При приёме входного сигнала, имеющего отклонения длительности в синхросигнале или первом бите данных от номинального значения при измерении между точками пересечения нулевого уровня (относительно предыдущего пересечения) более ± 100 нс, происходит ошибка дешифрации и не приём пакета. При этом согласно ГОСТ Р52070-2003 допускается искажение ± 150 нс.

Условия

Отклонения в синхросигнале или первом бите слов данных более ± 100 нс.

Последствия

Отсутствие приёма пакета. В случае ОУ не выставление ОС. В случае КШ формирование признака ошибки в регистре статуса.

Рекомендации и способы обхода

Не допускать отклонения длительности входного сигнала в синхросигнале и первом бите данных от номинального значения более чем на ± 100 нс.

0031 Не работает контроллер SPW с встроенным приемопередатчиком

Статус

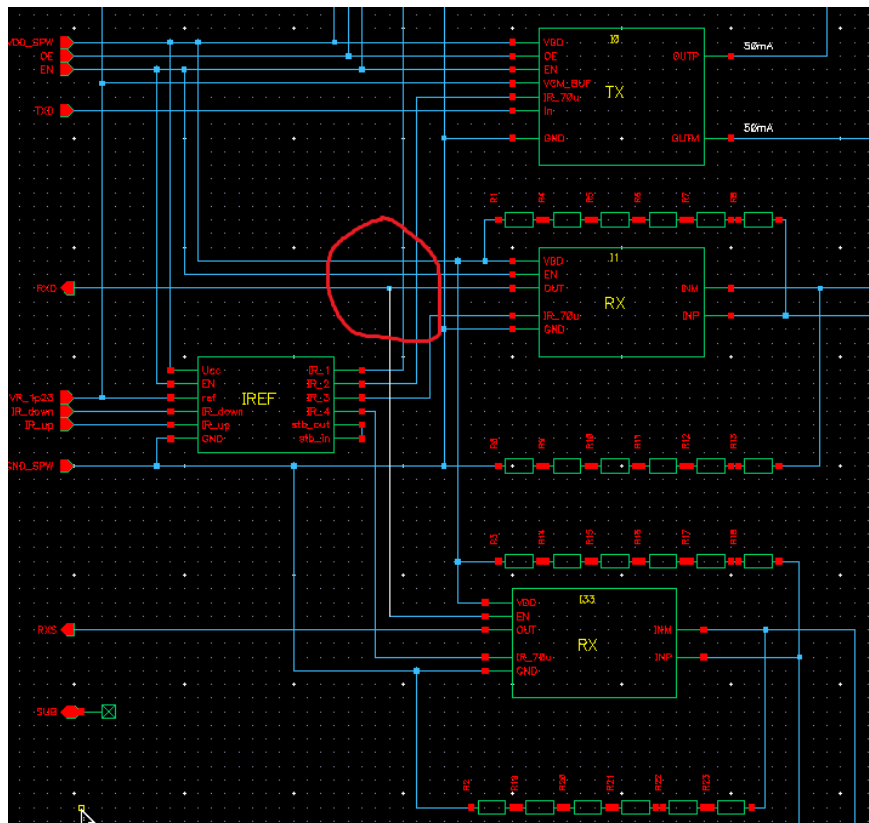
Исследование.

В REV3 исправлено

Описание

При использовании контроллера SPW со встроенным приемопередатчиком при получении NULL пакетов контроллер не переходит в состояние Connecting и спустя заданные времена происходит сброс в ErrorReset состояние и повторение попытки установки связи. При этом самим контроллером отправка NULL пакетов происходит корректно. При исследовании приемопередатчика каких-либо аномалий или проблем не выявлено.

В схеме аналогового приемопередатчика SPW некорректно подключен сигнал EN для приемника RXS.



Условия

Использование встроенного приемопередатчика.

Последствия

Невозможность использования контроллера SPW со встроенным приемопередатчиком.

Рекомендации и способы обхода

0033 Не работает контроллер EТН со встроенным приемопередатчиком

Статус

Исследование.

НЕ ПОДТВЕРЖДАЕТСЯ.

Описание

При использовании контроллера EТН со встроенным приемопередатчиком не удается установить соединение.

Условия

Использование встроенного приемопередатчика.

Последствия

Невозможность использования контроллера EТН со встроенным приемопередатчиком.

Рекомендации и способы обхода

Контроллер Ethernet функционирует со встроенным приемопередатчиком.

0043 Утечка из ВUсс в Uсс, если Uсс > Uпор и ВUсс > Uсс

Статус

Исправлено в REV4.

Описание

В паде вывода ВUсс схема защиты от статического электричества имеет защитный диод с ВUсс на ВDUсс. Таким образом, если ВUсс превышает уровень ВDUсс (например, когда ВDUсс формируется от Uсс) на значение больше порога диода, возникает ток из ВUсс в ВDUсс. При этом, если транзистор связи Uсс – ВDUсс открыт, то возникает ток из ВUсс в ВDUсс.

Условия

Если Uсс > Uпор и ВUсс > Uсс.

Последствия

Микросхема подключена к питанию ВUсс. При этом, если микросхема потребляет большой ток, возникает значительный перегрев диода защиты от статического электричества и транзистора связи Uсс-ВDUсс.

Рекомендации и способы обхода

Не подавать на вход ВUсс напряжение больше, чем Uсс. Если это невозможно, то в цепь ВUсс вставить токоограничивающий резистор 1 кОм.

0050 Повышенное потребление в режиме работы только от батарейного питания

Статус

Исправлено в REV4.

Описание

Если питание микросхемы подается только через вывод ВUсс и при этом все остальные выводы питания оставлены не подключенными, то ток через ВUсс составляет порядка 1 мА. Если остальные выводы питания закорочены на землю, то ток через ВUхх составляет порядка 4 мА. Утечка происходит сначала в DUсс (на нем возникает уровень порядка 1 – 1,2 В) и затем уже в Uсс и Uсс1 (на них возникает уровень порядка 0,8 – 0,9 В).

Условия

При питании микросхемы только от вывода ВUсс.

Последствия

Повышенный расход батарейного источника питания.

Рекомендации и способы обхода

В цепь ВUсс вставить токоограничивающий резистор 1 кОм.

0051 Большой джиттер PLL

Статус

Исправлено в REV5.

Описание

При работе блока PLL возникает большой джиттер до +/- 4 нс. В результате при настройке PLL на частоту 60 МГц (~16 нс период), мгновенное значение частоты на отдельных тактах может достигать 80 МГц (~12 нс период). Это приводит к нарушению работы цифровой части. При этом среднее значение частоты соответствует расчетному значению.



Биение выходной частоты PLL

Условия

Всегда

Последствия

При настройке тактовой частоты, близкой к предельно-допустимой, возможно возникновение отдельных тактов с частотой, превышающей предельное-допустимое значение, что вызывает сбой в работе цифровой схемы.

Рекомендации и способы обхода

Использовать PLL для формирования тактовых частот только до 40 МГц. При этом настройки времени выборки ОТР и внешней шины EXT_BUS должны быть установлены как для работы на 60 МГц. Для работы на больших тактовых частотах использовать внешний генератор с требуемой частотой.

0067 Преждевременное снятие флага TXF регистра SPW Status

Статус:

Следовать рекомендациям.

Описание

Флаг TXF снимается после отправки в интерфейс первого байта из слова в FIFO.

Условия возникновения

Флаг TXF снимается после отправки в интерфейс первого байта из слова.

Последствия

Регистр FIFO может быть переписан новыми данными до того, как все байты из него были вычитаны.

Рекомендации и способы обхода

Использовать флаг TXF только для прекращения записи в FIFO, после обнаружения сброса флага вставлять задержку на время необходимое для передачи трёх байт в канал SPW, либо дожидаться поднятия флага TXE.

0068 Зависание запроса DMA на передачу от блока SPW

Статус:

Следовать рекомендациям.

Описание

Новый запрос к контроллеру DMA может быть выставлен до окончания исполнения предыдущего запроса и не воспринимается контроллером как новый.

Условия возникновения

При определённом соотношении скоростей наполнения и опустошения FIFO, если уровень наполненности FIFO передатчика не переходит границу 48 байт и 60 байт для пакетного и одиночного запросов соответственно, не происходит снятия запроса DMA.

Последствия

Контроллер не распознаёт новый запрос DMA и не выполняет новую транзакцию, считая установленный запрос обработанным. Таким образом в системе SPW передатчик – DMA контроллер возникает DEADLOCK.

Рекомендации и способы обхода

Не использовать механизм DMA для передачи массивов меньше указанных границ. Реализовать программный мониторинг DEADLOCK через регистры статуса DMA и SPW и «проталкивать» DMA запросы программно с помощью переключения бита DMATXEN в случае обнаружения DEADLOCK. Не использовать DMA TX блока SPW.

0069 Загрузчик сбрасывает флаги сброса в регистрах ВКР

Статус:

Следовать рекомендациям.

Описание

Загрузочная программа использует некорректную маску при записи в регистры REG_60_TMRx[14:8]

Условия возникновения

В ходе работы загрузчика в процессе установки флага FPOR сбрасываются флаги событий сброса в регистрах REG_60_TMRx[14:8]

Последствия

Пользовательская программа, запущенная загрузчиком, получает флаги сброса всегда в сброшенном состоянии и таким образом не может получить из них информацию об источнике сброса.

Рекомендации и способы обхода

Некоторые флаги, например, S_SYSRSTn, можно программно эмулировать, используя для хранения регистры REG_00..REG_59.

0070 Загрузчик сбрасывает флаги ошибок в регистрах ВКР

Статус:

Следовать рекомендациям.

Описание

После установки бита FPOR(REG_60_TMRx[7]) сбрасываются флаги ошибок REG_60_TMRx[27:25]

Условия возникновения

В ходе работы загрузчика после установки флага FPOR сбрасываются флаги ошибок в регистрах REG_60_TMRx[27:25]

Последствия

Пользовательская программа, запущенная загрузчиком, получает флаги ошибок всегда в сброшенном состоянии и таким образом не может проанализировать ошибку, если эта ошибка была выбрана как событие для сброса.

Рекомендации и способы обхода

Ошибки в регистрах REG_60..REG_63 обязательно обрабатывать через прерывание ВКР_IF и сохранять в REG_00..REG_59, если планируется обработка данных флагов ошибок после сброса.

0072 Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий

Статус

Следовать рекомендациям.

Описание

Согласно спецификации, для режима CNT_MODE='b11 должна происходить автоматическая смена направления счёта DIR в режиме подсчёта событий. На практике автоматической смены направления счёта в данном режиме не происходит.

Условия и причина

Автоматическая смена направления счёта для режима подсчёта событий не реализована.

Последствия

Режим работы таймера CNT_MODE='b11 не соответствует спецификации.

Рекомендации и способы обхода

Не использовать режим CNT_MODE='b11.

0075 В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA

Статус

Будет исправлено в следующей ревизии.

Описание

Согласно спецификации, загрузчик должен конфигурировать выводы PA[7](TX), PA[8](RX) для режима загрузки UART0+JB. Загрузчик в режимах UART0+JA, UART0+JB конфигурирует выводы PE[15](TX), PE[16](RX) независимо от режима.

Условия и причина

В результате ошибки в коде загрузчика для данных режимов всегда вызывается подпрограмма UART в режиме UART0+JA. Выбор JTAG происходит корректно до запуска данной подпрограммы. Подпрограмма не управляет выводами JTAG.

Последствия

Интерфейс UART0 в режимах UART0+JA, UART0+JB подключён к выводам PE[15], PE[16] независимо от режима.

Рекомендации и способы обхода

При использовании режима UART0+JB подключать UART к выводам PE[15], PE[16].

0077 Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения

Статус

Будет исправлено в следующей ревизии.

Описание

Контроллер EXT_BUS при 32-разрядном чтении в режиме 8-битной шины снимает Адрес вместе с OE для последнего байта.

Условия и причина

Если контроллер сконфигурирован для обмена по шине шириной 8 бит и получает обращение на чтение 32-разрядного слова, то в результате ошибки в контроллере Адрес на шине адреса меняется по окончании фазы ACTIVE для последнего байта в данном слове.

Последствия

Некорректная временная диаграмма на выводах микросхемы с отсутствующей фазой HOLD для адреса последнего байта.

Рекомендации и способы обхода

Учитывать при проектировании системы.

Ошибки категории 3

0011 Подтяжки площадок REF на элементах THILO с питанием 1,8 В

Статус

Причина определена

Исправлено в REV2

Описание

Площадки группы REF (площадки вывода тестовых точек сигналов REF ИОН и подключения внешних ток задающих резисторов) сконфигурированы константными значениями в коде Verilog через 1'b0. При синтезе вместо 1'b0 реализуется элемент THILO с питанием 1,8 В, хотя входы должны иметь сигналы от драйверов с питанием Ucc.

Условия и причина

Некорректность описания в Verilog, необходимо заменить на элементы THILO с питанием 3 – 5,5 В.

Последствия

Нет, так как формируется низкий логический уровень.

Рекомендации и способы обхода

В рамках данных образцов обойти проблему невозможно. Необходимо модифицировать исходное Verilog описание.

0012 Некорректное отключение HV от ОТР

Статус

Причина определена

Исправлено в REV2

Описание

При отсутствии питания DUcc1 (например, в момент включения регулятора) возможно попадание высокого напряжения с HV на элементы ОТР и выполнение ошибочного программирования ячеек. Также после окончания операции записи возникает момент между отключением ОТР от сигнала HV и переподключением к питанию DUcc1. При этом остаточное высокое напряжение, накопленное на емкости ОТР, может попасть в питание DUcc1.

Условия и причина

При наличии высокого уровня на выводе HV во все время, кроме времени программирования.

Последствия

Ошибочное программирование или пробой цифровых элементов.

Рекомендации и способы обхода

Подавать высокое напряжение на HV только во время выполнения записи. В остальное время держать подключать к DUcc1 через резистор 10 кОм.

0017 Очистка памяти стартовым загрузчиком

Статус

Исследование

В REV3 исправлено

Описание

После сброса начинает работать стартовый загрузчик из масочного ПЗУ. В программу стартового загрузчика введена функция инициализации ОЗУ. Это необходимо из-за того, что после включения память может содержать произвольные значения, для которых не будет выполняться ECC кодирование и при байтовом или полусловном обращении будет приводить к ошибке обращения в ОЗУ.

Так как стартовый загрузчик всегда выполняется после сброса, то нарушается традиционный механизм работы программных отладчиков KEIL и IAR. Они загружают в ОЗУ исполняемые модули и периодически сбрасывают микросхему сбросом, рассчитывая, что загруженные ранее модули сохранятся в ОЗУ, но стартовый загрузчик их стирает. Это приводит к нарушению таких процедур как программирование OTP.

Условия и причина

При выполнении аппаратного сброса или сброса по запросу от процессорного ядра.

Последствия

Невозможность с помощью стандартного Flash Loader загрузить OTP память.

Рекомендации и способы обхода

Использовать собственные средства загрузки или .ini файлы при работе из KEIL.

0018 Ошибка коэффициента умножения тактовой частоты PLL

Статус

Исправлено в документации

Описание

При разработке блока PLL требовалось обеспечить следующую формулу умножения

$$FINT = FIN * (PLLn_N + 1) / (PLLn_Q + 1).$$

При этом реально при выборе $PLLn_N=0$ происходит умножение на 2, $PLLn_N=1$ происходит умножение на 1, $PLLn_N=2$ происходит умножение на 2 и так далее. Т.е. фактически верна формула

$$FINT = FIN * (PLLn_N) / (PLLn_Q + 1)$$

и дополнение, что при $PLLn_N=0$ эквивалентно $PLLn_N=2$.

Условия и причина

Некорректность схемы при обеспечении требуемого функционала при других настройках.

Последствия

Исправлено в спецификации

Рекомендации и способы обхода

Использовать последнюю версию спецификации

0022 Микросхема по сигналу STANDBY не переходит в режим STANDBY**Статус**

Исследование

В REV3 исправлено

Описание

При установке битов STANDBY в регистрах REG_63_TMR0, REG_63_TMR1 и REG_63_TMR2 батарейного домена микросхема должна перейти в режим работы только батарейного домена. Все остальные регуляторы должны выключиться, питание Ucc можно будет снять, и потребление микросхемы будет обусловлено только потреблением батарейного домена, но выключения LDO регуляторов не происходит.

Условия и причина

Устанавливаются

Последствия

Невозможность перевода микросхемы в режим пониженного потребления

Рекомендации и способы обхода**0023 Не работает блок PWR в части контроля напряжения питания****Статус**

Исследование

В REV3 исправлено

Описание

С помощью блока можно контролировать заданные уровни внешних питаний и токов потребления LDO регуляторов. Аналоговый блок всегда выдает 0 по выводам PBVDP, PVDPI и PVDP. При этом функционально блок контроля токов потребления LDO работает, точность еще не определена.

Условия и причина

Устанавливаются

Последствия

Невозможно контролировать уровень напряжения внешних источников.

Рекомендации и способы обхода

0024 Постоянная ошибка превышения максимальной частоты RTC

Статус

Исследование

В REV3 исправлено

Описание

В блоке часов реального времени RTC периодически выдается ошибка превышения максимальной тактовой частоты ERR_CM и ERR_CMx во всех трех плечах троированной системы.

Условия и причина

Сигнал взводится при включении питания или в любой произвольный момент времени. Сигнал может быть сброшен только через сброс всей микросхемы (нет программного сброса). Данная ситуация возможна и для других блоков детекторов максимальной частоты в блоках OTP, RAM и CPU.

Последствия

При возникновении данной ошибки, ее очистка возможна только через сброс микросхемы.

Рекомендации и способы обхода

Очистить флаг ошибки через сброс микросхемы и исключить его из битов, участвующих в формировании сигнала сброса FT_RST

0029 Не работает регистровое чтение OTP

Статус

Исследование

В REV3 исправлено

Описание

Контроллер OTP позволяет осуществить чтение из OTP в регистровом режиме. В этом случае обеспечивается доступ ко всем битам данных и ECC без контроля ECC (получение реального значения битов в памяти). При выполнении регистрового чтения из OTP полученные данные не соответствуют действительности.

Условия и причина

Некорректная работа схемы.

Последствия

Невозможность получения реальных значений из памяти при регистровом чтении.

Рекомендации и способы обхода

Рекомендуется использовать прямой режим чтения, для случая возникновения двойных ошибок ECC сделать соответствующий обработчик HARD_FAULT. При возникновении единичных ошибок они исправляются через ECC. Реальное значение считанных данных сохраняется в регистрах последней ошибки ECC.

0030 Некорректная работа блока FT_CNTR**Статус**

Исследование

В REV3 исправлено

Описание

Значение счетчика TIMEOUTCNT при считывании процессором всегда на 1 меньше, чем реальное значение счетчика, таким образом до возникновения ошибки его значение 0x1FFFE. После возникновения ошибки сбрасывается 17 разряд, и счетчик устанавливается в значение TIMEOUT и начинает считать вниз. При этом по достижении значения 0 в процессор будет отображено значение 0xFFFF.

Кроме того, при очистке событий, вызвавших начало счета отложенного сброса, будет снят сигнал FT_WRN. Но при этом счетчик будет считать далее до тех пор, пока не будет сброшен битом RESET_TIMEOUT_CNT. При этом если он досчитает до нуля, он остановится в значении 0, и повторное возникновение события ошибки приведет к некорректному выставлению FT_RST на один такт в момент появления FT_WRN.

Условия и причина

Всегда

Последствия

Неудобство использования блока.

Преждевременное выставление сигнала сброса.

Рекомендации и способы обхода

Не использовать сигнал сброса FT_RST.

0032 Ошибочное назначение выводов для подключения внешнего приемопередатчика SPW на порт PB**Статус**

Исследование

В REV3 исправлено

Описание

Для подключения внешнего приемопередатчика SpaceWire согласно документации должны использоваться выводы PB [3:0] (DO, SO, DI, SI) при установке 14 функции для данных выводов. Реально в микросхеме используются следующие выводы:

SI – PB3 функция 14;

DI – PB2 функция 12 (пересекается с приемником MIL);

SO – PB5 функция 14;

DO – PB4 функция 14.

Условия и причина

Всегда

Последствия

Пересечение функций выводов канала MIL.

Рекомендации и способы обхода

0034 Ошибка при записи во внешнюю память при включенном кэш на шине DBUS

Статус

Исследование

В REV3 исправлено

Описание

При использовании внешней шины в диапазоне 0 (0x1000_0000 – 0x17FF_FFFF и 0x1800_0000 – 0x1FFF_FFFF) и включенным кэш для шины DBUS и настройке его работы с внешней шиной операции записи во внешнюю память могут не выполняться или выполняются с ошибками (зависит от того, закешированы или нет данные).

Условия и причина

Всегда. Кэш разрабатывался для кода программы и оперирует только с читаемыми данными.

Последствия

Записи во внешнюю память могут не выполняться или выполняются с ошибками.

Рекомендации и способы обхода

0035 Корректное изменение настроек PLL возможно однократно только после сброса

Статус

Исследование

В REV3 исправлено

Описание

После настройки и начала использования PLL корректное изменение настроек возможно только после сброса, так как основные части PLL не сбрасываются сигналом PLL_ON.

Условия и причина

Всегда

Последствия

Не запуск PLL

Рекомендации и способы обхода

0036 Невозможно выбрать внешний резистор для формирования опорного тока в DAC0 и DAC1

Статус

Исследование

В REV3 исправлено

Описание

Сигнал выбора внешнего или внутреннего резистора для формирования опорных токов DAC0 и DAC1 всегда в нуле. Этот сигнал не задается ни внутренними регистрами в рабочем режиме, ни внешними выводами в режиме раскрытия.

Условия и причина

Всегда

Последствия

DAC0 и DAC1 могут работать только с внутренним резистором.

Рекомендации и способы обхода

0037 Ошибка при обращении к CAN

Статус

В REV5 исправлен сбой при обращении в несуществующую область регистров CAN.

Описание

При обращении к адресному диапазону контроллера CAN по адресам несуществующих регистров или при обращении к памяти буферов сообщений и фильтров при отключенном тактировании блока происходит ошибка.

Условия и причина

Всегда

Последствия

Сбой работы процессора. Например, при просмотре адресного диапазона через окно Memory Viewer.

Рекомендации и способы обхода

Не допускать обращений в несуществующие регистры и при отключенном тактировании.

0038 Длинные цепи от блоков DAC0 и DAC1 к площадкам**Статус**

Исследование

В REV3 исправлено

Описание

При разработке топологии кристалла большая длина цепей выходного сигнала блоков DAC0 и DAC1 привела к росту их сопротивления, которое составило 450 Ом для DAC0 и 1,1 кОм для DAC1.

Взаимное расположение аналоговых блоков следующее: слева DAC0, справа DAC1. При этом выводы DAC1 расположены слева, а выводы DAC0 – справа. Это также вносит диспропорцию во выходные цепи.

Цепь обратной связи DACfb берется не от площадки, а от ближайшего места, что не позволяет скомпенсировать сопротивление выходной цепи.

Условия и причина

Всегда

Последствия

Ухудшение параметров ЦАП.

Рекомендации и способы обхода

Учитывать при разработке.

0039 Выброс напряжения на выходе буфера источника опорного напряжения при включении питания**Статус**

Исследование

Описание

При включении питания на выходе буфера источника опорного напряжения появляется выброс до питания, что может привести к пробоя последующих схем.

Условия и причина

Всегда

Последствия

Вероятность пробоя схемы.

Рекомендации и способы обхода

Учитывать при разработке.

0041 Установка по POR бита TRIM_REF[2] в регистре REG_62 батарейного домена

Статус

Исправлено в REV5.

Описание

При сбросе микросхемы по питанию происходит установка в 1 бита TRIM_REF[2] в регистре REG_62 батарейного домена. Биты TRIM_REF в этом регистре отвечают за подстройку источника опорного напряжения для схемы POR.

Условия и причина

При сбросе микросхемы по питанию схемой POR. Вызвано тем, что использовались предназначенные для других целей биты, которые по сбросу POR должны устанавливаться в нужное состояние.

Последствия

Невозможно увеличить уровень POR при включении выше уровня 2,85 В (от 2,85 до 2,74 В). При этом уровень POR при выключении можно регулировать в диапазоне от 2,82 до 2,58 В. Ошибка несет положительный эффект, так как при безошибочной работе уровень POR можно было бы поднять до 3,05 В

Рекомендации и способы обхода

0042 Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена

Статус

Исправлено в REV5.

Описание

При сбросе микросхемы по питанию происходит сброс в 0 бита TRIMR[7] в регистре REG_62 батарейного домена. Бит TRIMR в этом регистре отвечает за подстройку источника опорного тока для схемы POR.

Условия и причина

При сбросе микросхемы по питанию схемой POR. Вызвано тем, что использовались биты предназначенные для других целей, которые по сбросу POR должны устанавливаться в нужное состояние.

Последствия

Не обнаружено

Рекомендации и способы обхода

0045 Ведущая роль регулятора LDO0 для работы схемы

Статус

Следовать рекомендациям.

Описание

Схемы преобразователей уровня из 3,0 – 5,0 В в 1,8 В имеют сигнал выключения (изоляции) для момента, когда питание 1,8 В не сформировано. Данный сигнал выключения формируется регулятором LDO0. При этом вся цифровая часть микросхемы (ядро, периферия, память) питаются с помощью 4-х регуляторов LDO0, 1, 2, 3. При этом, пока LDO0 не выдаст сигнал готовности, схема будет находиться в выключенном состоянии.

Условия и причина

Архитектурная особенность.

Последствия

При программном выключении LDO0 схема сбрасывается. Возможно объединение по логическому ИЛИ сигналов готовности от всех LDO и использование его как сигнала разрешения было бы более корректным решением.

Рекомендации и способы обхода

Не выключать LDO0.

0046 По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI

Статус

Исправлено в REV5.

Описание

При программном выключении микросхемы генераторов HSI или LSI и отсутствии другого источника тактирования для работы схемы обратное включение источников возможно только при снятии питания.

Условия и причина

При программном выключении генераторов в батарейном домене.

Последствия

Невозможность перезапуска микросхемы по сбросу после выключения генераторов. Только перезапуск по питанию.

Рекомендации и способы обхода

Не выключать генераторы. При переходе в STANDBY режим генератор HSI выключаются корректно.

0047 *Запрещение ограничения по току для LDO после включения питания*

Статус

Исправлено в REV5.

Описание

При включении питания ограничение по току включено только у регулятора батарейного домена. Все остальные регуляторы включаются при выключенном ограничении. Это вызывает большое импульсное потребление по основному питанию.

Условия и причина

При включении основного питания микросхемы.

Последствия

Большое импульсное потребление при включении питания.

Рекомендации и способы обхода

0048 *«Защелкивание» блока SW при снятии питания Uсс и переходе на BUсс*

Статус

Исправлено в REV4.

Описание

Вызвано ошибкой 0043. После того как возникает утечка тока из BUсс в Uсс, снижение или выключение источника Uсс не приводит к выключению микросхемы по питанию, так как она полностью получает питание от BUсс.

Условия и причина

Аналогично 0043.

Последствия

Питание всей микросхемы от BUсс.

Рекомендации и способы обхода

В цепь BUсс вставить токоограничивающий резистор 1 кОм.

0049 Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD

Статус

Следовать рекомендациям.

Описание

Для регуляторов LDO батарейного домена и домена PLL шаг определения тока потребления сравним с импульсными токами потребления блоков. В результате при однократных измерениях возможно возникновение кода от минимального до максимального.

Условия и причина

При измерении тока для регуляторов LDO батарейного домена и домена PLL.

Последствия

Неточная информация об истинном среднем значении тока потребления.

Рекомендации и способы обхода

Проводить многократное измерение с усреднением.

0052 Ошибочная запись в память ETH в режиме раскрытия

Статус

Исправлено в REV5.

Описание

В микросхеме реализован тестовый режим раскрытия для блоков памяти контроллера Ethernet. Всего в контроллере 4 банка памяти, которые при тестировании выбираются 9 и 10 разрядами адреса. При выборе 4-го банка ошибочно выбирается и первый банк.

Условия и причина

При тестировании памяти блока Ethernet через тестовые режимы раскрытия при тестировании 4-го банка ошибочно выбирается и первый банк при записи.

Последствия

Записываемая информация в 4-й банк попадает и в первый банк.

Рекомендации и способы обхода

Проводить тестирование банков независимо, либо группами 1, 2, 3 и отдельно 4 или 2, 3, 4 и отдельно 1.

0053 Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR**Статус**

Исправлено в REV5.

Описание

В микроконтроллере реализован тестовый режим доступа к регистрам настройки блока CLOCK_CNTR, позволяющий получить истинное значение регистров (до исправления через ECC). При чтении регистров настройки тактовых сигналов SSP возвращаются значения регистров настройки UART.

Условия и причина

При чтении регистров SSP_CLK по адресам +0x200.

Последствия

Нет

Рекомендации и способы обхода

Не использовать данный режим чтения.

0054 Ошибка в схеме режима тестового раскрытия памяти блоков MIL**Статус**

Исправлено в REV5.

Описание

В микросхеме реализован тестовый режим раскрытия для блоков памяти контроллера MIL. Выборка банка осуществляется по низкому уровню на входе NCE. Операции чтения/записи данных необходимо выполнять при низком уровне на входе NCE, но при чтении данные на порт микросхемы выставляются только при высоком уровне на NCE.

Условия и причина

При тестировании памяти блока MIL через тестовые режимы раскрытия.

Последствия

Затруднена возможность контроля времени выборки.

Рекомендации и способы обхода

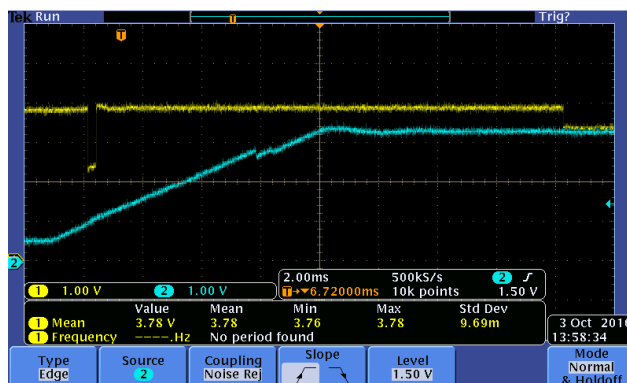
0055 Просадка питания на BDUcc при переключении с BUcc на Ucc

Статус

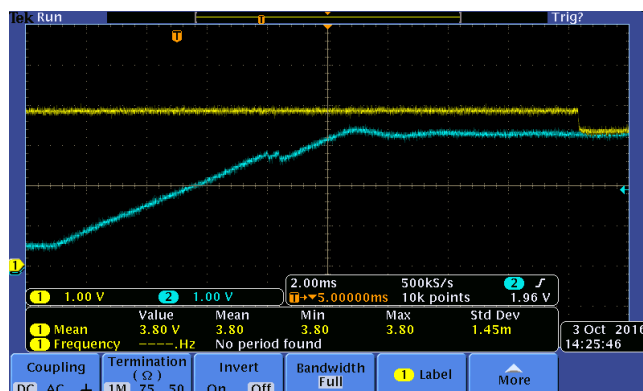
Необходимо соблюдать рекомендации.

Описание

При включении основного питания (Ucc от 0,5 до 1,5 В) в момент, когда микросхема уже получает питание от BUcc, происходит кратковременное отключение BDUcc от BUcc. Но за это время уровень на BDUcc снижается до уровня 1,8 В (уровень DUcc_B). Данные процессы происходят до момента переключения BDUcc на Ucc.



Просадка при отсутствии емкости на BDUcc
(желтый – BDUcc, синий – Ucc)



Нет просадки при емкости 4,7 мкФ на BDUcc
(желтый – BDUcc, синий – Ucc)

Условия и причина

Кратковременное отключение BDUcc от BUcc вызвано изменением механизма управления блоком SW.

Последствия

Критических проблем не выявлено.

Рекомендации и способы обхода

Установить на выводе BDUcc емкость на землю с номиналом не менее 4 мкФ.

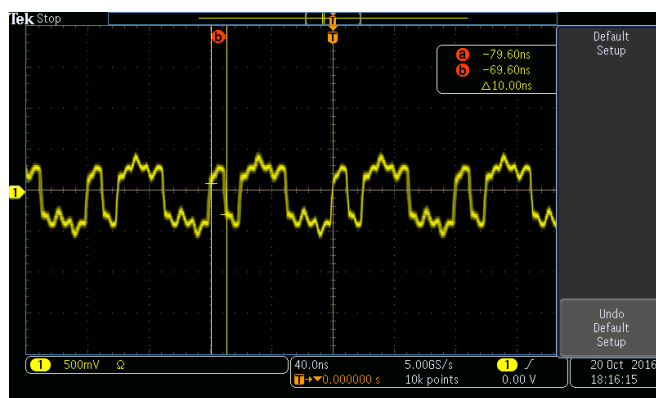
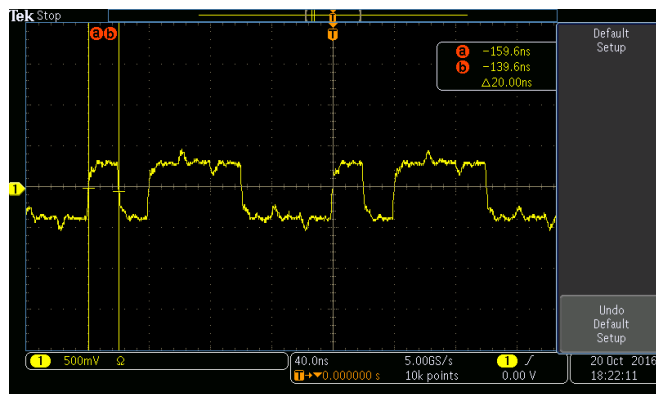
0057 Помехи в сигналах передатчика SPW_PHY

Статус

В ревизиях после 3-й не обнаруживаются.

Описание

При работе передатчика SPW_PHY на линиях передатчика наблюдаются помехи до 100 мВ (диф) на границах битовых интервалов. Величина помехи не превышает уровня переключения.



Условия и причина

Работа встроенного передатчика SPW_PHY на передачу. Скорее всего вызвано кратковременными иголками (невыровненные задержки) в схеме смещения данных и тактового сигнала для формирования DO и SO сигналов.

Последствия

Шумы на линии передатчика.

Рекомендации и способы обхода

0058 Некорректное назначение выводов данных внешней системной шины

Статус

Исправлено в REV5.

Описание

Выводы порта PA могут использоваться как выводы шины данных внешней шины данных. При этом имеет место следующее соответствие:

Вывод микросхемы	Биты шины данных при чтении	Биты шины данных при записи
PA[0]	DATA[42]	DATA[47]
PA[1]	DATA[43]	DATA[46]
PA[2]	DATA[44]	DATA[45]
PA[3]	DATA[45]	DATA[44]
PA[4]	DATA[46]	DATA[43]
PA[5]	DATA[47]	DATA[42]

Т.е. при записи биты переставляются местами, что приводит к нарушению при последующем чтении. Последовательность битов при чтении верна.

Условия и причина

При работе внешней шины в 64-битном режиме с ECC и без ECC. При необходимости выполнения операций чтения и записи.

Последствия

Изменение ранее записанной информации.

Невозможность использования внешней шины в 64-битном режиме при работе с внешней памятью как с ОЗУ.

Рекомендации и способы обхода

Возможно использование внешней шины в 64-битном режиме только в режиме ROM (только чтение). Например, чтение только исполняемого кода или констант. Для записи в данную память необходимо использовать иные методы, например, программную эмуляцию внешней шины.

0059 Невыполнение части тестов при сертификации контроллера МКИО

Статус

Исправлено в REV5.

Описание

Сертификация контроллера МКИО в рамках демонстрационной платы проводилась с двумя различными приемопередатчиками физической линии 5559ИН67 и 5559ИН13У. В результате сертификации были получены следующие заключения:

1986BE8T + 5559ИН13

Проводилось тестирование окончного устройства на базе отладочной платы для микроконтроллера 1986BE8T производства АО «ПКК Миландр» с приемопередатчиком 5559ИН13.

В результате тестирования определено, что Устройство соответствует требованиям ГОСТ Р 51765-2001 по всем пунктам за исключением:

- тест по п. 6.1.8 проходит нестабильно;
- тест на помехоустойчивость (п. 7.1) не прошел;
- тестирование по пунктам 6.2.1.5, 6.2.4.5 не проводилось, поскольку данный тест проводится только при числе передатчиков три или более;
- тестирование по пункту 6.2.3 не проводилось, поскольку все команды являются допустимыми;
- тестирование по пункту 6.1.3.7 не проводилось.

1986BE8T + 5559ИН67

Проводилось тестирование окончного устройства на базе отладочной платы для микроконтроллера 1986BE8T производства АО «ПКК Миландр» с приемопередатчиком 5559ИН67.

В результате тестирования определено, что Устройство соответствует требованиям ГОСТ Р 51765-2001 по всем пунктам за исключением:

- тест на помехоустойчивость (п. 7.1) не прошел по шине В;
- тестирование по пунктам 6.2.1.5, 6.2.4.5 не проводилось, поскольку данный тест проводится только при числе передатчиков три или более;
- тестирование по пункту 6.2.3 не проводилось, поскольку все команды являются допустимыми;
- тестирование по пункту 6.1.3.7 не проводилось.

Условия и причина

Предположительно невыполнение пункта 7.1 является следствием большого уровня собственных помех платы.

Предположительно тест по п. 6.1.8 проходит нестабильно, ошибка возникает один раз из трех. Причина уточняется.

Тестирование по п. 6.2.1.5 и 6.2.4.5 не выполнялись, так как их выполнение необходимо при трех или более передатчиках.

Тест по п. 6.2.3. не проводился, так как все команды допустимы.

Тест по п. 6.1.3.7 не проводился, так как контроллер не может сформировать посылку недопустимой длительности.

Последствия

Невозможность выполнения всех пунктов требований при сертификации.

Рекомендации и способы обхода

Учитывать при разработке.

0060 Некорректное назначение выводов ADC_REF+ и ADC_REF-**Статус**

Исправлено в REV5.

Описание

Для блоков АЦП можно выбрать два варианта выводов для задания внешнего опорного напряжения. Варианты правильного назначения выводов описаны в таблице:

АЦП	Вариант 1	Вариант 2
ADC0 REF+	PC[6]	PC[22]
ADC0 REF-	PC[7]	PC[23]
ADC1 REF+	PC[22]	PC[6]
ADC1 REF-	PC[23]	PC[7]

Такой механизм позволяет переключать АЦП между различными опорами или дублировать внешний источник опорного напряжения. Но в результате ошибки в схеме для второго варианта обоих АЦП перепутаны REF+ и REF-

АЦП	Вариант 1	Вариант 2
ADC0 REF+	PC[6]	PC[23]
ADC0 REF-	PC[7]	PC[22]
ADC1 REF+	PC[22]	PC[7]
ADC1 REF-	PC[23]	PC[6]

Т.е. если для ADC0 выбрать первый вариант, а для ADC1 – второй вариант, то на REF+ ADC1 будет приходиться REF- ADC0.

Условия и причина

При использовании одной и той же пары внешних выводов для задания опорного напряжения для двух АЦП, в результате ошибки в схеме подключения АЦП, опорные сигналы меняются местами на одном из блоков АЦП относительно другого.

Последствия

Невозможно использовать одну пару выводов для задания опорного напряжения для двух АЦП одновременно, на втором АЦП входы REF+ и REF- будут подключены наоборот.

Рекомендации и способы обхода

Использовать только вариант 1 для обоих АЦП. При необходимости использования одного источника опорного напряжения, опорное напряжение заводить на оба варианта выводов, соответствующих варианту 1.

0061 Некорректная работа блоков периферии при частоте тактировании большей частоты процессорного ядра

Статус

Особенность взаимодействия систем, которую надо учитывать.

Описание

При задании тактовой частоты для периферийных блоков большей, чем частота тактирования процессорного ядра, возможно возникновение потери таких событий как запрос прерывания и запрос транзакции DMA. Данная проблема имеет место быть в блоках таймеров.

Условия и причина

При задании тактовой частоты блока большей, чем частота процессорного ядра.

Последствия

Потеря событий запросов прерываний и запросов транзакций DMA.

Рекомендации и способы обхода

При использовании запросов прерываний и транзакции DMA следует задавать частоту тактирования блока равной процессорной частоте или меньше.

0062 Для верхних 64к ОТР принудительно отключается кэширование

Статус

Исправлено в REV5.

Описание

Из-за особенностей работы ядра на шине I-BUS было реализовано аппаратное переопределение атрибута транзакции Cacheable в зависимости от установки бита в регистре управления I-Cache и D-Cache для диапазона ОТР и EXT_BUS. Из-за ошибки в декодере диапазона ОТР верхние 64к не могут быть закэшированы.

Условия и причина

При включении кэширования шины ОТР для I-Cache.

Последствия

Снижается производительность выборки кода при расположении кода и константных данных в адресах 0x0101_0000-0x0101_FFFF.

Рекомендации и способы обхода

Необходимо располагать критичные участки кода в нижних 64к диапазона ОТР. Опережающая предвыборка осуществляется в любом случае, поэтому на линейные участки кода данная ошибка не должна оказывать влияния.

0064 Необходимо держать включённым последний выбранный источник входной частоты для выбора другого источника в блоке управления тактовыми частотами

Статус

Особенность работы схемы переключения, которую необходимо учитывать.

Описание

При выборе источника частоты в блоке переключения частот необходимо, чтобы предыдущий источник частоты был включён. Например, после перехода на частоту HSE, неочевидно, что необходимо держать включённым HSI при программировании PLL только потому, что по сбросу на входе PLL выбран HSI, и если его выключить, то переключить PLL на другой источник не получится.

Условия и причина

Схема безглитчевого переключения частоты не позволяет включать новый источник, если отсутствует частота с предыдущего.

Последствия

Особенность программирования схем переключения частот.

Рекомендации и способы обхода

Выключать HSI или любой другой источник тактирования на блоке переключения частот только после того, как все блоки переключения сконфигурированы для работы с требуемым источником. Новый источник при этом обязан быть включённым.

0065 Сбои при переключении источника синхросигнала, если частота переключения больше исходной в четыре раза

Статус

Исправлено в REV5.

Описание

При переключении источника синхросигнала на выходе мультиплексоров синхросигнала возможно появление глитчей меньше половины периода нового синхросигнала, в случае если частота сигнала, на который происходит переключение, больше исходной в четыре раза.

Условия и причина

Схема клокового мультиплексора некорректно выключает исходную частоту после двух тактов ожидания, из-за этого новая частота включается через два такта новой частоты. Таким образом в точке объединения гейтированных синхросигналов присутствует полтакта положительной фазы старой частоты и два такта ожидания новой, после чего разрешается новая частота, начиная с положительной фазы. Т.е. если два такта ожидания новой укладываются в полтакта старой, может возникнуть глитч между срезом старой частоты и фронтом новой.

Последствия

Сбои в блоках МК после переключения частоты.

Рекомендации и способы обхода

До исправления необходимо при переключении частоты учитывать, что новая частота не должна быть более чем в 4 раза больше предыдущей. Т.е. если требуется перейти на частоту PLL, отличающуюся от исходной более чем в 4 раза, необходимо использовать две PLL для последовательного перехода сначала на промежуточную частоту, а далее на требуемую.

0066 Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA**Статус**

Исправлено в REV5.

Описание

Данные режимы предназначены для загрузки контроллера с serial flash типа 5576. При этом устанавливается режим работы SPI: SPO=0, SPH=0. В данном режиме контроллер SPI работает в режиме мастера – сэмпليрует данные по переднему фронту. Микросхемы 5576 также переключают данные по переднему фронту, таким образом корректность приёма данных контроллером зависит от задержки данных относительно клока. Кроме того, при детектировании ошибки в переданных данных происходит сброс контроллера, при этом не происходит сброс счётчика адреса микросхемы 5576 через сигнал nSTATUS.

Условия и причина

Контроллер в режиме загрузки SPI0+JB или SPI0+JA и задержка по линии данных меньше задержки по клоку. В зависимости от разводки синхросигнала SPI и линии данных SPI, на первом фронте синхросигнала могут быть сэмплированы новые данные и 0 бит данных пропущен, либо на каждом фронте будут сэмплироваться неверные данные, и контроллер, обнаружив ошибку, сбросится. При выполнении сброса не устанавливается 0 на выводе PA7 контроллера, который должен обеспечивать сброс счётчика адреса в микросхеме последовательной памяти, необходимый для корректной повторной загрузки.

Последствия

Сбои при загрузке микроконтроллера в режимах SPI0+JB, SPI1+JA при загрузке с микросхем серии 5576.

Рекомендации и способы обхода

Ввести дополнительную задержку на линию синхросигнала относительно сигнала данных, либо в данном режиме работы загрузчика использовать микросхемы с интерфейсом SPI, а не serial flash.

0071 Не происходит перезапуск сторожевого таймера

Статус

Исправлено в REV5.

Описание

Согласно спецификации, для перезапуска сторожевого таймера необходима запись значения 0хАААА в регистр KEY. Если не производить чтения регистра CNT, что не является обязательным, перезапуска таймера не происходит, и он вырабатывает сигнал сброса.

Условия и причина

Пересинхронизация сигнала сброса таймера реализована таким образом, что требует присутствия системной частоты при обращениях к блоку таймера. Системная частота гейтируется и в момент пересинхронизации на частоту сторожевого таймера отсутствует из-за большой разницы частот. Таким образом, таймер не перезапускается.

Последствия

Сторожевой таймер вырабатывает сигнал сброса несмотря на запись в регистр KEY значения, которое должно вызывать перезапуск таймера.

Рекомендации и способы обхода

После записи в регистр KEY обязательно производить чтение регистра CNT.

0073 Контроллер MILSTD обращается в неинициализированную область буфера передатчика

Статус

Следовать рекомендациям.

Описание

При работе с контроллером в режиме ОУ при записи N слов в буфер передатчика и при запросе N слов данных со стороны канала в блоке FT_CNTR сигнализируется ошибка в буфере MILSTD.

Условия и причина

Контроллер MILSTD устанавливает адрес чтения буфера передатчика, не учитывая того, что буфер всегда выбран для чтения. Таким образом, после запроса N слов данных на входе памяти устанавливается N+1 адрес и, если он не инициализирован, детектируется ошибка, которая поднимает флаг в FT_CNTR.

Последствия

Происходит ложная сигнализация ошибки в FT_CNTR.

Рекомендации и способы обхода

Перед началом работы с передатчиком до разрешения запросов со стороны канала необходимо полностью инициализировать память передатчика. Запрет запросов со стороны канала можно осуществить, отложив конфигурацию входов контроллера в режим MILSTD до полной инициализации буфера передатчика.

0074 Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-)

Статус

Исправлено в документации.

Описание

Назначение функций выводов DAC1_REF+, DAC1_REF- в документации перепутаны относительно реализации в аппаратуре.

Условия и причина

Вывод PC[29] в аппаратуре подключен к DAC1_REF+, а PC[27] – к DAC1_REF-.

Последствия

При использовании опорных сигналов DAC1_REF+ и DAC1_REF- в соответствии с документацией зависимость DAC*_OUT от кода инверсная.

Рекомендации и способы обхода

Для готовых изделий, использующих DAC1_REF+, DAC1_REF- в соответствии с ошибочным вариантом описания, подавать на DAC дополненный код до FFFh вместо прямого.

0076 Некорректный уровень на выходе генератора LSE

Статус

Будет исправлено в следующей ревизии.

Описание

Схемы переключения частот блоков CLKCNTNTR гарантируют корректную работу при условии, что на входы схемы поступает либо частота, либо логический 0. При условии LSE_ON=1'b0 и FILTER = 1'b1 генератор LSE выдаёт на входы переключателей частот блока CLKCNTNTR логическую 1.

Условия и причина

В результате ошибки в схеме выходного мультиплексора генератора LSE по сигналу FILTER=1'b1 происходит инверсия выходного сигнала.

Последствия

При выключении генератора LSE при установленном FILTER=1 (значение по сбросу), если на каком-либо из блоков переключения частот выбран LSE, происходит блокировка выхода данного блока переключения частот в состоянии логической 1. Данное состояние сохраняется после сброса.

Рекомендации и способы обхода

Выключать генератор LSE только после переключения на другой источник всех блоков, которые его использовали. При попадании блока переключения частоты в данное состояние установить FILTER в 0 с последующей установкой в 1.

0078 Ложные срабатывания счётчиков ошибок ЕСС в контроллере внешней шины в режиме последовательного ЕСС

Статус

Будет исправлено в следующей ревизии.

Описание

После инициализации памяти на внешней шине в режиме последовательного ЕСС и 8- или 16-битной шины при чтении инициализированного массива увеличиваются счётчики ошибок ЕСС.

Условия и причина

В режиме последовательного ЕСС при записи слова в память происходит безусловное считывание предыдущего слова и соответствующего данному слову значения ЕСС. Т.к. неинициализированная память заполнена случайными значениями, существует очень малая вероятность, что случайные данные совпадут со случайным значением ЕСС. В результате ошибки в контроллере внешней шины данные в режиме последовательного ЕСС при записи обрабатываются на двух блоках расчёта ЕСС, предназначенных для каждого полуслова в режиме 64-разрядной шины. Сигналы ошибок с этих двух блоков объединяются по ИЛИ для сигнализации ошибки ЕСС. При чтении в режиме последовательного ЕСС используется всегда только один из блоков, а второй хранит своё состояние с предыдущей записи. Т.е. с высокой вероятностью после записи в неинициализированную область он хранит ошибку. Данные сигналы ошибок переопределяют сигналы ошибок, полученных с блока, который используется для проверки ЕСС в режиме чтения, и фиксируются в счётчиках ошибок.

Последствия

После «залипания» ошибки в одном из блоков ЕСС в результате записи в неинициализированную область счётчики ошибок ЕСС считают каждое обращение по чтению ошибочным в независимости от фактических данных и ЕСС.

Рекомендации и способы обхода

После инициализации памяти в режиме с последовательным ЕСС необходимо сбросить счётчики ошибок и производить запись в инициализированную область до тех пор, пока счётчики ошибок не перестанут меняться. Если в процессе записи не возникнет реальных ошибок, то потребуется записать только одно слово в уже инициализированную область. После этого счётчики ошибок не будут ложно срабатывать при каждом чтении.

0079 Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит

Статус

Присутствует в ревизиях 3, 4, 5.

Описание

При включённом кэшировании данных(DCACHE) при операциях чтения размером байт или 16 бит с внешней шины происходит кэширование всех разрядов 32-битного слова.

Условия и причина

Кэш содержит бит валидности для каждого 32-разрядного слова в 128-разрядной строке. Т.е. гранулярность заполнения и инвалидации кэша 32 бит. Внутренние шины процессора – 32 бит с позиционным кодированием. В результате ошибки в логике управления кэш памятью при 8 бит и 16 бит чтении осуществляется кэширование всех 32 бит слова с шины. Разряды данных шины, которые не запрашивались в текущей транзакции, могут иметь произвольное значение.

Последствия

Последующие обращения, попадающие в уже кэшированное слово, в разряды данных, которые не запрашивались первым обращением, возвращают некорректные данные.

Рекомендации и способы обхода

При использовании кэш памяти данных с заполнением с внешней шины использовать выровненные операции чтения размером 32 бит.

0080 Установка бита CLR_CACHE не приводит к очистке кэш-памяти

Статус

Исправлено с ревизии 5.

Описание

Установка бита CLR_CACHE регистра CNTR в 1 согласно документации не приводит к очистке соответствующего блока кэш-памяти.

Условия и причина

Функция не была реализована до 5-й ревизии.

Последствия

Программный код, очищающий кэш-память с помощью данной функции, может работать некорректно, т.к. установка данного бита не приводит к очистке кэш-памяти.

Рекомендации и способы обхода

Для замещения содержимого кэш-памяти вытеснить содержимое кэш-памяти с помощью последовательных обращений в другой регион кэшируемой памяти размером, равным объёму кэш-памяти.

0081 Загрузчик изменяет бит *MODE[0]* в регистрах ВКР при выборе 64-разрядной шины данных для режима *EXTBUS_CFG+JA*

Статус

Исправлено с ревизии 5.

Описание

При выборе 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$) выводы интерфейса *JTAG_A* ($PA[4:0]$) используются как часть шины данных $D[46:42]$, поэтому интерфейс *JTAG_A* становится недоступным. Чтобы отладка не была полностью отключена, загрузочная программа принудительно устанавливает бит $MODE[0]$ в регистрах ВКР REG_60_TMRx , изменяя активный интерфейс отладки с *JTAG_A* на *JTAG_B*.

Условия и причина

Выбор 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$), из-за чего интерфейс *JTAG_A* становится недоступен.

Последствия

В режиме *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$) с использованием 64-разрядной шины данных ($CFG0 = 4$) в регистрах ВКР REG_60_TMRx устанавливается бит $MODE[0]$ и активируется интерфейс отладки *JTAG_B*.

Рекомендации и способы обхода

Учитывать при разработке.

0082 Загрузчик отключает интерфейс *JTAG_B* при выборе 64-разрядной шины данных для режима *EXTBUS_CFG+JB*

Статус

Ошибка присутствует в ревизии 5.

Описание

При выборе 64-разрядной шины данных ($CFG0 = 4$) с параллельной организацией ECC ($CFG1 = 3$) для режима *EXTBUS_CFG+JB* ($MODE[7:0] = 1010\ 0101$) выводы интерфейса *JTAG_B* ($PB[8:4]$) используются как часть шины ECC $D[78:74]$, поэтому интерфейс *JTAG_B* становится недоступным.

При других допустимых значениях $CFG0$ и $CFG1$ для режима *EXTBUS_CFG+JB* интерфейс *JTAG_B* доступен. Однако, при использовании 64-разрядной шины данных ($CFG0 = 4$) загрузочная программа отключает интерфейс *JTAG_B* вне зависимости от выбранного режима ECC.

Условия и причина

Выбор 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JB* ($MODE[7:0] = 1010\ 0101$).

Последствия

В режиме *EXTBUS_CFG+JB* ($MODE[7:0] = 1010\ 0101$) с использованием 64-разрядной шины данных ($CFG0 = 4$) интерфейс отладки *JTAG_B* не доступен.

Рекомендации и способы обхода

Если при выборе 64-разрядной шины данных (CFG0 = 4) не используется параллельная организация ECC, то интерфейс JTAG_V может быть включён в пользовательской программе путём сброса бита DISABLE_JTAG в регистрах BKP REG_60_TMRx.

0083 Таймер SysTick может считать некорректно в режиме с внешним источником тактирования**Статус**

Ошибка исправлена в ревизии 5.

Описание

При конфигурировании таймера SysTick для счёта от внешней опорной частоты счёт таймера SysTick происходит немонотонно или отсутствует при отключённом генераторе LSE.

Условия и причина

Из-за ошибки схемы выделения фронта для сигнала разрешения счёта таймер SysTick в режиме с внешним источником тактирования считает половину периода генератора LSE, а другую половину периода не считает. Если генератор LSE выключен, счётчик постоянно считает на внутренней частоте из-за ошибки 0076.

Последствия

Немонотонный и несоответствующий калибровочным константам счёт таймера SysTick в режиме с внешним источником тактирования.

Рекомендации и способы обхода

Задавать только внутренний источник тактирования для таймера SysTick. С 5-й ревизии внешний источник тактирования выбрать невозможно.

0084 Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования**Статус**

Учитывать при разработке.

Описание

В блоке управления тактовыми частотами в схемах переключения частот выбор частоты MAX_CLK осуществляется без контроля паузы между выключением предыдущего и включением следующего источника, которое необходимо для исключения возможности присутствия на выходе двух синхросигналов одновременно.

Условия и причина

В результате ошибки в схеме переключения частот сигнал разрешения частоты MAX_CLK идёт напрямую с декодера выбора источника частоты, минуя схему, гарантирующую присутствие только одного синхросигнала на выходе.

Последствия

При выборе MAX_CLK для блока в рабочем режиме на выходе схемы переключения частот возможно появление глитчей, приводящее к поведению блока, не соответствующему спецификации.

Рекомендации и способы обхода

При необходимости использования MAX_CLK для тактирования блока выбор данного источника необходимо осуществлять, когда блок выключен, либо после переключения частоты выключить блок и включить его повторно.

Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
10.12.14					Документ создан
16.05.15					Добавление ошибок второй ревизии(REV2)
20.10.16					Добавление ошибок третьей ревизии(REV3)
21.11.16					Добавление ошибок третьей ревизии(REV3)
28.09.17	6 – 9				Добавлена дата для ревизии 4 (REV4)
22.05.18	9, 66, 67		0065, 0066	3	Добавление ошибок
02.08.18	7, 47		0067, 0068	2	Добавление ошибок
30.11.18	7, 70		0069, 0070	2	Добавление ошибок
05.03.19	49, 69, 70		0071, 0072	3, 2	Добавление ошибок
06.05.19	71		0073	3	Добавление ошибки
14.08.19	73		0074	3	Добавление ошибки
21.08.19					Обновление статусов ошибок в соответствии с ревизиями 4 и 5 (REV4 и REV5)
30.01.20	8, 50		0075	2	Добавление ошибки
14.10.20	11, 52, 75 – 79		0076, 0077, 0078, 0079, 0080, 0081, 0082	3, 2	Добавление ошибок
26.05.21	80, 81		0083, 0084	3	Добавление ошибок